

5. MOSFET

MOSFET (metal-oxide-semiconductor field-effect-transistor, MOS tranzistor sa efektom polja) bio je prvi put proizveden 1960. godine, samo godinu dana nakon početka ere integriranih kola 1959. godine. MOSFET je postao osnovna izgradjivačka jedinica savremenih VLSI (very large-scale integration) integriranih kola i, prema tome, postao je najvažnija mikroelektronska komponenta. Velika ulaganja su bila učinjena u ono što je poznato kao CMOS tehnologija, tehnologija koja se koristi za izradu integriranih kola sačinjenih od komplementarnih parova MOS tranzistora. Ta ulaganja, budući da su bila sasvim podsticajna, dovela su do rapidnog napretka u kompjuterskim i komunikacionim integriranim kolima što smo i videli u toku poslednjih dekada.

Medjutim, primena MOS tranzistora nije ograničena samo na VLSI kola. MOS tranzistori igraju važnu ulogu i u elektronskim kolima velike snage i postaju sve popularniji i pogodni i za primene u oblasti mikrotalasnih učestanosti.

U ovom poglavlju biće objašnjeni principi i karakteristike MOS tranzistora, biće uvedene MOSFET tehnologije, i opisani modeli i parametri MOS tranzistora koji se koriste u simulatorima integriranih kola. MOS (metal-oxide-semiconductor) kondenzator, koji je razmataran u odeljku 2.5, predstavlja osnovu MOS tranzistora. Prema tome, dobro poznavanje efekata objašnjenih u odeljku o MOS kondenzatoru neophodno je za efikasno razumevanje ovog poglavlja. Takodje, MOS tranzistor uvodi dva P-N spoja, što znači da je takodje neophodno i razumevanje koncepta P-N spojeva koji su razmatrani u odeljku 2.2 i 3.1.

5.1 PRINCIP RADA MOSFET-a

5.1.1 Struktura MOSFET-a

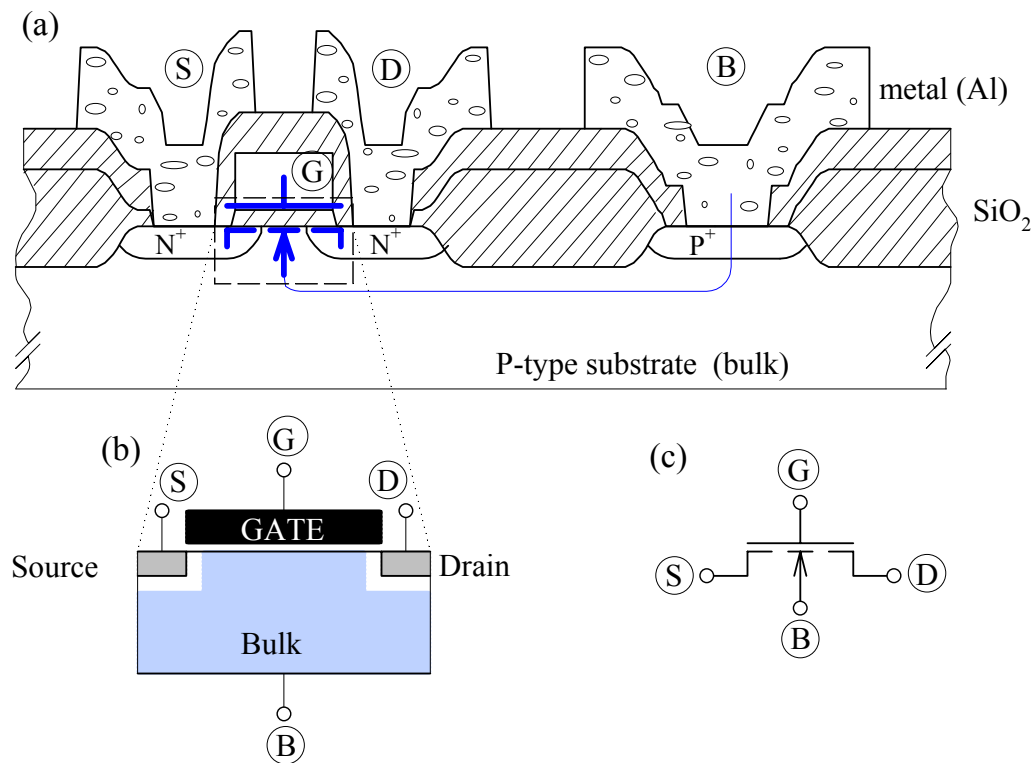
Kao što je gore napomenuto, MOSFET (MOS tranzistor) razvio se od MOS kondenzatora. Napon primenjen na gejt MOS kondenzatora (Sl. 2.12) kontroliše stanje površine silicijuma ispod oksida (ovo je P-tip međupovršine Si-SiO₂ na Sl. 2.12). Negativni naponi na gejtu privlače šupljine iz silicijuma P-tipa prema površini (akumulacija), dok pozitivni naponi veći od napona praga stvaraju sloj elektrona na površini silicijuma (inverzija).

Ova dva stanja MOS kondenzatora mogu biti iskorišćena za izradu naponski kontrolisanog prekidača. Da bi se ovo postiglo, sloj elektrona na površini silicijuma kontaktira se na krajevima sa N⁺ oblastima koje se nazivaju *sors* (source = izvor) i *drejn* (drain = odvod), kao što je ilustrovano na Sl. 5.1a. Postojanje sloja elektrona, koji se takodje naziva *kanal*, odgovara uključenom stanju prekidača, pošto kanal od elektrona virtuelno kratkospaja oblasti sorsa i drejna, koje se koriste kao krajevi prekidača. Kada je napon na gejtu ispod napona praga, sloj elektrona (kanal) iščezava sa površine silicijuma, i N⁺ oblasti sorsa i drejna su izolovane supstratom P-tipa. Ovo je isključeno stanje prekidača.

Ista struktura, prikazana na Sl. 5.1 može biti iskorišćena za formiranje naponski kontrolisanog strujnog izvora. Ovo je moguće jer pri većim naponima između drejna i sorsa struja koja teče kroz kanal (uključeno stanje) ne raste linearno sa naponom drejn-sors, već saturira (ulazi u zasićenje). Mehanizmi strujnog zasićenja biće objašnjeni detaljno u odeljku 5.1.3. Pošto je struja zasićenja

nezavisna od pada napona između sorsa i drejna, komponenta se ponaša kao strujni izvor. Pored toga, moguće je menjati vrednost ove struje naponom na gejtu, prevodeći MOS tranzistor između stanja potpunog uključenja (maksimalna struja) i stanja isključenja (struja jednaka nuli). Prema tome, MOS tranzistor se ponaša kao naponski kontrolisani strujni izvor pri višim naponima između drejna i sorsa.

Očigledno je sa Sl. 5.1 da je MOS tranzistor u suštini komponenta sa četiri izvoda. Ta četiri izvoda su sledeća: silicijumski supstrat ili balk (B), gejt (G), sors (S) i drejn (D). Na Sl. 5.1a prikazani su metalni kontakti za sors, drejn i balk (S, D i B, respektivno). Metalni kontakt za gejt je napravljen iza kontakata sorsa i drejna, i ne može se videti na poprečnom preseku prikazanom na Sl. 5.1a.



Slika 5.1 (a) Poprečni presek tipičnog N-kanalnog MOS tranzistora iz integrisanog kola, (b) Šematska reprezentacija koja se koristi u ovom poglavlju, (c) simbol tranzistora

Veoma često balk i sors su spojeni zajedno, tako da se kontrolni napon koji se primenjuje na gejt i upravljački napon koji se primenjuje na drejn, mogu izraziti u odnosu na zajednički referentni potencijal kratkospojenog sorsa i balka. U ovom slučaju tri efektivna izvoda MOS tranzistora, gejt, drejn i sors, mogu se direktno odnositi na izvode G, D i S, generičkog tranzistora iz poglavlja 4. Ponekad balk i sors ne mogu biti kratkospojeni, ili je napon između balka i sorsa namerno primenjen. Efekat napona između balka i sorsa na ponašanje MOS tranzistora naziva se **body effect** (efekat tela) i biće objašnjen u odeljku 5.1.2.

Slika 5.1 ilustruje jedan tip MOS tranzistora koji se naziva **N-kanalni** MOSFET, budući da se provodjenje struje između sorsa i drejna obezbeđuje nosiocima N-tipa (elektronima). Moguće je napraviti komplementarni tranzistor, korišćenjem supstrata N-tipa i oblasti sorsa i drejna P⁺ tipa. U ovom slučaju potreban je negativan napon na gejtu da formira na površini kanal od šupljina; zbog toga se ovakav MOS tranzistor naziva **P-kanalni** MOSFET.

Kao što je napred objašnjeno, i N-kanalni i P-kanalni MOS tranzistori su u isključenom stanju kada na gejt nije primenjen napon - **normalno isključeni** MOS tranzistori. N-kanalni MOS tranzistor se dovodi u stanje uključenja pozitivnim naponima na gejtu, a P-kanalni MOS tranzistori zahtevaju

negativne napone na gejtu. Međutim, MOS tranzistori se mogu načiniti *normalno uključenim* tehnološki, tj. ugradjivanjem kanala. Prema tome, postoje četiri tipa MOS tranzistora, što će biti objašnjeno detaljnije u odeljku 5.1.4.

5.1.2 MOS tranzistor kao prekidač: Napon praga

Ovaj i naredni odeljci opisuju principe rada MOS tranzistora mnogo detaljnije. Ponovo ćemo koristiti model energetske zone za razjašnjavanje odgovora elektrona i šupljina na spoljašnje primenjene napone. Treba napomenuti da se efekti kod MOS tranzistora moraju razmatrati u dve dimenzije. Prva dimenzija je neophodna da se izraze efekti koji se odnose na napon na gejtu, koja je zato usmerena od površine silicijuma prema silicijumskom balku (označena kao x -pravac). Druga dimenzija je neophodna da bi se izrazili efekti koji se odnose na napon između sorsa i drejna, zbog toga je ona duž površine silicijuma (označena kao y -pravac). Energetske zone zato moraju biti prikazane u obe dimenzije x i y . Kao konvenciju, uzećemo da se energetske zone u x -pravcu crtaju na levoj strani, a energetske zone u y -pravcu crtaju na desnoj strani na slikama koje su predstavljene u ovom poglavlju. Da bi se napravila njihova veza što je moguće očiglednijom, na većini grafika biće obezbeđen dvodimenzionalan dijagram energetske zone na sredini.

U ovom odeljku MOS tranzistor se razmatra kao prekidač da bi se objasnila stanja uključenja i isključenja MOSFETa. To znači da će se koncept napona praga razmatrati detaljnije. Body effect (efekat napona između balka i sorsa) biće takodje objašnjen u ovom odeljku. Efekat koji se odnosi na napon između drejna i sorsa, posebno strujno zasićenje, razmatra se u narednom odeljku.

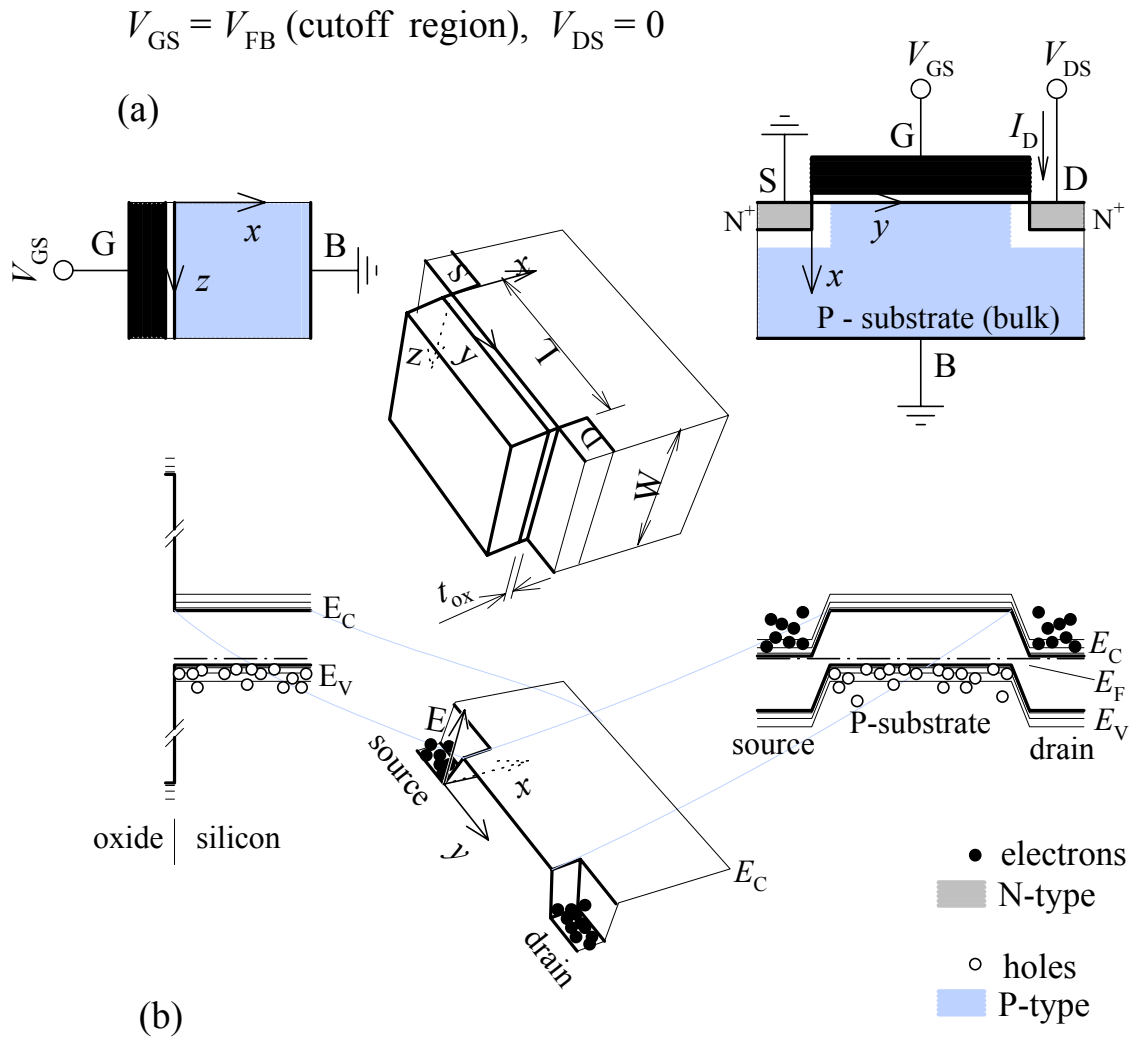
Nulti efektivni napon (Ravne zone)

Kao što je već napomenuto, stanja uključenosti i isključenosti MOS tranzistora kontrolisana su naponom na gejtu, koji direktno određuje potencijal na površini silicijuma. Kao u odeljku 2.5, potencijal na površini poluprovodnika u odnosu na njegov balk biće označen sa ϕ_s . Prirodno se javlja potreba da se uzme nulti površinski potencijal kao referentna tačka kada se razmatraju različiti uslovi površine silicijuma (indukovani različitim naponima na gejtu). Uslov nultog površinskog potencijala je takodje poznat kao uslov *ravnih zona*, pošto su u tom slučaju linije električnog potencijala i prema tome linije potencijalne energije na dijagramu energetske zone ravne. U odeljku 2.5 bilo je objašnjeno da se ravne zone tipično ne pojavljuju pri nultom naponu na gejtu usled efekata razlike izlaznih radova i naelektrisanja u oksidu. Napon na gejtu neophodan da dovede površinu silicijuma u uslove ravnih zona naziva se *napon ravnih zona*.

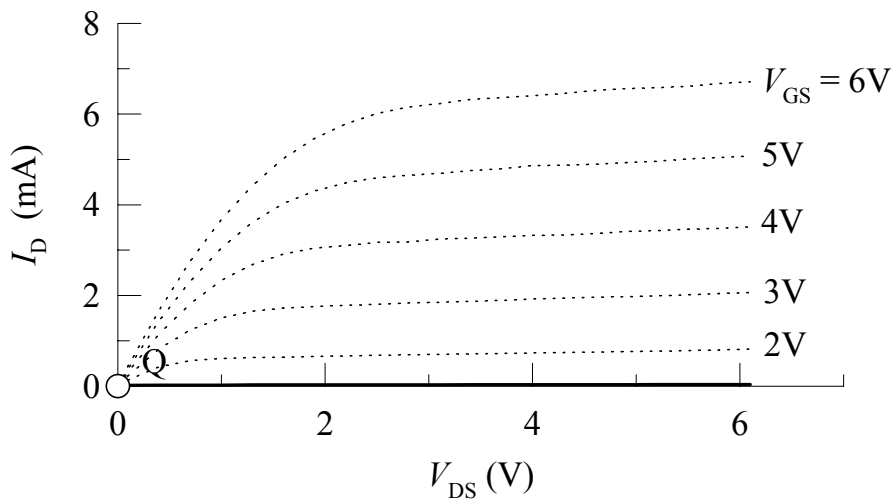
Sl. 5.2 ilustruje MOS tranzistor u uslovima ravnih zona. Napomenimo da su sors i balk kratkospojeni i uzeti kao referentni potencijal, kao i da između drejna i sorsa nije primenjen napon ($V_{DS}=0$). Leva strana i desna strana u prvoj vrsti na dijagramu ilustruju poprečni presek MOS tranzistora u x - i y -pravcu, respektivno. Centar dijagrama ilustruje MOSFET u tri dimenzije. MOSFET je pozicioniran tako da se x - i y -pravci poklapaju sa x - i y -pravcima na dijagramima energetske zone, prikazanim u drugoj vrsti na slici 5.2. Još jednom, leva strana i desna strana predstavljaju dijagrame energetske zone duž x - i y -pravca, respektivno, dok je centralna slika dvodimenzionalni prikaz provodne zone (valentna zona je izostavljena radi pojednostavljenja dijagrama). Dijagram energetske zone u x -pravcu (donji levi ugao) jasno ilustruje uslov ravnih zona. Ovaj dijagram je analogan dijagramu datom na Sl. 2.16d.

Dijagram energetske zone u y -pravcu (donji desni ugao) prikazan je po prvi put. Bez obzira na to, on jednostavno može biti izveden iz dijagrama energetske zone N-P spoja, datog na Sl. 2.6b i 3.5a. Napomenimo da se površinska struktura MOS tranzistora (duž y -pravca) može predstaviti pomoću dva P-N spoja sa međusobno spojenim P-oblastima. Prema tome, N^+ -P- N^+ struktura može biti podeljena na N^+ -P i P- N^+ strukture gde su P-oblasti međusobno spojene. Primećujući da N^+ označava samo da je nivo dopiranja u N^+ -oblastima veliki, dijagram energetske zone N^+ -tipa sorsa i P-tipa supstrate (duž y -pravca) je konstruisan na isti način kao i dijagram energetske zone P-N spoja, prikazan na Sl. 2.6b i

3.5a. Preostali deo dijagrama (P-tip supstrata i N⁺-tip drejna) predstavlja lik u ogledalu prethodnog dijagrama sors-supstrat, i konačno dijagram energetskih zona je kompletiran likom u ogledalu dijagrama zona N-P spoja.



(b)



Slika 5.2 MOSFET u oblasti zakoćenja: (a) Ilustracija dijagrama energetskih zona na poprečnim presecima i (b) Izlazne karakteristike (puna linija)

Pri ilustraciji pojave pokretnih elektrona i šupljina, važno je setiti se da se koncentracije elektrona i šupljina izražavaju položajem Fermijevog nivoa (linija crta-tačka-crta) u odnosu na energetske zone. U dijagramu energetskih zona duž x-pravca (donji levi ugao), Fermijev nivo je blizu vrha valentne zone, što znači da su mesta šupljina u valentnoj zoni u stvari zauzeta šupljinama (prazni kružići). Ovo je slučaj u poluprovodniku P-tipa koji je supstrat MOS tranzistora. Ista situacija se može videti između sorsa i drejna i na dijagramu energetskih zona duž y-pravca (donji desni ugao). Međutim, u N^+ -oblastima sorsa i drejna Fermijev nivo je veoma blizu dna provodne zone, što znači da je veliki broj elektronskih mesta u provodnoj zoni zaista zauzet elektronima (puni kružići). Fermijev nivo duž y-pravca je konstantan, što izražava činjenicu da između drejna i sorsa nije primenjen napon (vlada termička ravnoteža).

Dijagram energetskih zona duž y-pravca (donji desni ugao) ilustruje postojanje energetske barijere koja razdvaja elektrone između sorsa i drejna. Ukoliko barijere ne bi bilo, i ukoliko bi dno provodne zone na drejnu bilo sniženo, elektroni bi počeli da teku između sorsa i drejna.¹

Sve dok postoji energetska barijera između sorsa i drejna, primena napona između drejna i sorsa (V_{DS}) neće proizvesti nikakvo proticanje struje elektrona. Za MOSFET se kaže da je u oblasti zakočenja (cutoff).

Ovo je izraženo punom linijom na Sl. 5.2b, koja pokazuje da je struja drejna I_D jednaka nuli za bilo koji napon V_{DS} . Dijagram energetskih zona na Sl. 5.2a je nacrtan za poseban slučaj kada je $V_{DS}=0$, što je prikazano na izlaznoj karakteristici sa Sl. 5.2b pozicioniranjem tačke Q pri $V_{DS}=0$.

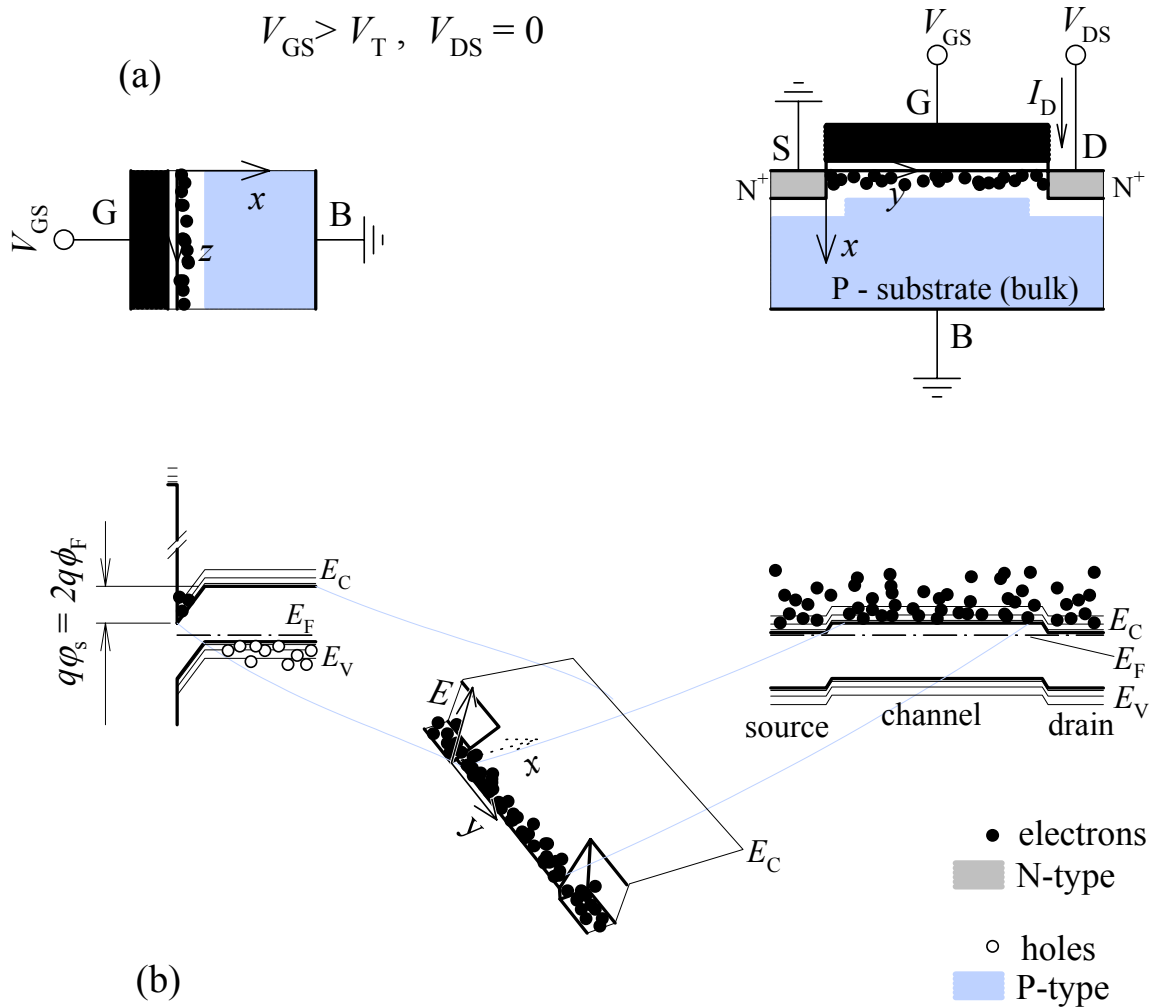
Jaka inverzija

Da bi se MOSFET doveo u uključeno stanje, treba smanjiti barijeru potencijalne energije između sorsa i drejna. Ovo se postiže primenom pozitivnog napona između gejta i balka/sorsa. Jedan deo ovog primenjenog napona pašće na oksidu gejta, dok će se drugi deo pojaviti kao površinski potencijal ϕ_s . Pojava pozitivnog površinskog potencijala ϕ_s vidljiva je na dijagramu energetskih zona kao krivljenje zona nadole u odnosu na referentni nivo u balku (potsetimo se činjenice da je *potencija ln a energija* = $-q \times$ *električni potencijal*). Ovo znači da će energetska barijera na površini biti redukovana, kao što se može videti sa Sl. 5.3a.

Koliko treba smanjiti energetska barijeru da bi elektroni mogli početi da teku između sorsa i drejna? Da bismo odgovorili na ovo veoma važno pitanje, razmatrajmo položaj Fermijevog nivoa na površini silicijuma. Da bismo imali značajnu koncentraciju elektrona na površini silicijuma, tako da dodje do povezivanja sorsa i drejna kanalom od elektrona, Fermijev nivo treba da bude bliži dnu provodne zone nego vrhu valentne zone. Normalno, u poluprovodniku P-tipa Fermijev nivo je bliži vrhu valentne zone². Međutim, pošto su zone iskrivljene na površini silicijuma, vrh valentne zone se udaljava od Fermijevog nivoa, a dno provodne zone se približava Fermijevom nivou (odnosi se na donji levi dijagram energetskih zona na Sl. 5.3a). Kada Fermijev nivo postane bliži dnu provodne zone, zauzetost elektronskih stanja u provodnoj zoni je mnogo veća od zauzetosti šupljinskih stanja u valentnoj zoni, pa koncentracija elektrona postaje veća od koncentracije šupljina. Pod tim uslovima kažemo da je formiran inverzni sloj (kanal od elektrona). Međutim, koncentracija elektrona nije značajna pre nego što površinski potencijal dostigne vrednost $2\phi_F$ (uslov jake inverzije). Iza te tačke, krivljenje zona se rapidno usporava i skoro da saturira, kao što je ilustrovano na Sl. 5.4. Na svaki dalji porast napona na gejtu ΔV_G brzo se odgovori adekvatnim porastom koncentracije elektrona, koja dovede do toga da se gotovo celokupan porast napona ΔV_G pojavi kao pad napona na oksidu, ostavljajući površinski potencijal prividno nepromenjenim.

¹ Dno provodne zone na drejnu može biti spuštено primenom pozitivnog napona između drejna i sorsa. Setimo se da pozitivna razlika električnog potencijala ($V_{DS}>0$) odgovara negativnoj razlici potencijalne energije ($qV_{DS}<0$)

² Relacija između položaja Fermijevog nivoa i koncentracije nosilaca opisana je u Odeljku 1.5.2.

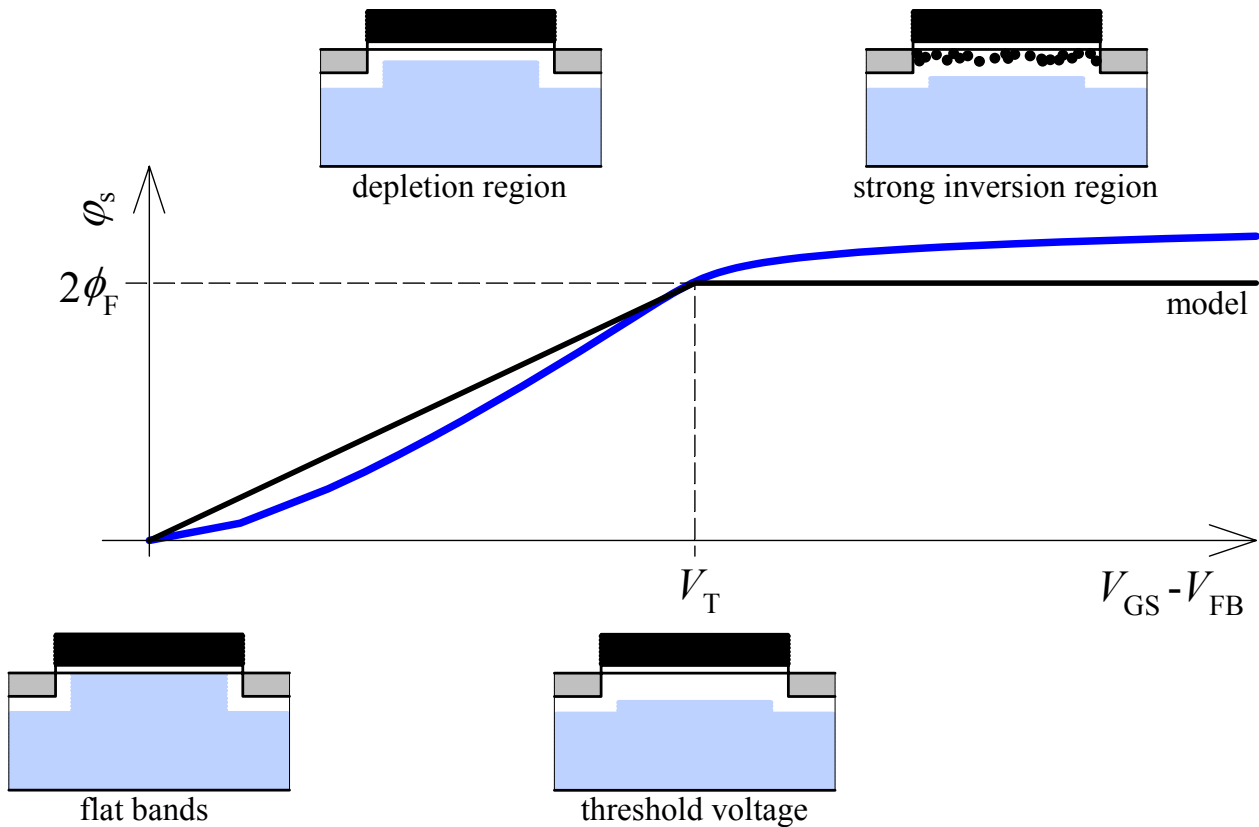


Slika 5.3 MOSFET u jakoj inverziji - formiran je kanal od elektrona: (a) Ilustracija dijagrama energetske zone na poprečnim presecima i (b) Radna tačka Q je na nultoj struji drena jer nije primenjen upravljački napon ($V_{DS}=0$)

Površinski potencijal u jakoj inverziji zamrznut je na vrednost

$$\varphi_S \approx 2\phi_F \quad (5.1)$$

gde je ϕ_F Fermijev potencijal, definisan u odeljku 2.5.3. Napon na gejtju koji je potreban da dovede površinski potencijala do ove vrednosti naziva se napon praga.



Slika 5.4 Zavisnost površinskog potencijala od efektivnog napona na gejtu

Da bismo analizirali napon praga, razumno je pretpostaviti da je koncentracija elektrona u kanalu jednaka nuli ispod napona praga, kao i da raste linearno sa svakim porastom napona iza napona praga. Međutim, to ne znači da ne postoji naelektrisanje na oblogama MOS kondenzatora na početku jake inverzije ($V_{GS}=V_T$).³ Kada se na gejtu primeni pozitivan efektivni napon $V_{GS}-V_{FB}$, dolazi do potiskivanja šupljina sa površine silicijuma, ostavljajući za sobom nekompensovane negativne akceptorske jone. Ovo naelektrisanje naziva se *naelektrisanje osiromašenog sloja*. Gustina ovog naelektrisanja, Q_d , izražava se u C/m^2 . Ako se gustina naelektrisanja na oblogama kondenzatora (Q_d u ovom slučaju) podeli kapacitivnošću po jedinici površine (kapacitivnost oksida gejta C_{ox} u ovom slučaju) dobija se efektivni pad napona na dielektriku kondenzatora. Prema tome,

$$\underbrace{\underbrace{V_{GS} - V_{FB}}_{\text{efektivni napon na gejtu}} - \varphi_s}_{\text{pad napona na oksidu gejta}} = \frac{Q_d}{C_{ox}} \quad (\text{za } V_{GS} \leq V_T) \quad (5.2)$$

Korišćenjem činjenice da je na početku jake inverzije ($V_{GS}=V_T$) površinski potencijal $\varphi_s = 2\phi_F$, dobija se sledeća jednačina

$$V_T - V_{FB} - 2\phi_F = \frac{Q_d}{C_{ox}} \quad (5.3)$$

³ Uslov kada nema naelektrisanja odgovara uslovu ravnih zona, prema tome $V_{GS}=V_{FB}$

što dovodi do sledećeg izraza za napon praga:

$$V_T = V_{FB} + 2\phi_F + \frac{Q_d}{C_{ox}} \quad (5.4)$$

U odeljku 2.5.5 pokazano je da se gustina naelektrisanja osiromašenog sloja može izračunati kao $Q_d = qN_A w_d$, gde je w_d širina osiromašenog sloja koju treba odrediti iz Poisson-ove jednačine. Rešenje Poisson-ove jednačine omogućava da se član Q_d/C_{ox} transformiše u $\gamma\sqrt{2\phi_F}$, gde je γ tehnološka konstanta koja se naziva *faktor tela* (body factor). Prema tome, jednačina za napon praga napisana je u sledećem obliku:

$$V_T = V_{FB} + 2\phi_F + \gamma\sqrt{2\phi_F} \quad (5.5)$$

V_{FB} , ϕ_F i γ su sve tehnološki parametri, pa je prema tome i napon praga tehnološki parametar.

Napon praga predstavlja vrednost napona na gejtu koja je potrebna da se površina silicijuma dovede na početak jake inverzije.

1. Gustina nosilaca u kanalu Q_I zanemarljiva je za napone $V_{GS} \leq V_T$, sve dok se ne dostigne uslov jake inverzije
2. Gustina nosilaca u kanalu u oblasti jake inverzije određena je vrednošću napona na drejnu koja premašuje napon praga ($V_{GS} - V_T$) i kapacitivnošću oksida gejta

$$Q_I = (V_{GS} - V_T)C_{ox} \quad (5.6)$$

Slika 5.3a ilustruje MOSFET u jakoj inverziji (MOSFET u stanju uključenja) bez primenjenog napona između drejna i sorsa, $V_{DS}=0$. Donji desni dijagram energetske zone (y-pravac) pokazuje da je između sorsa i drejna formiran kanal od elektrona. Kako nije primenjen napon između sorsa i drejna, dno provodne zone u kanalu je ravno u y-pravcu. Kao posledica toga, nema proticanja elektrona i struja drejna I_D jednaka je nuli. Pozicija mirne tačke, prikazane na izlaznoj karakteristici sa Sl. 5.3b izražava činjenicu da je struja drejna jednaka nuli za $V_{DS}=0$ iako je MOSFET u stanju uključenja.

Ako se dno provodne zone u drejnu snizi u odnosu na sors, energetske zone u oblasti kanala biće nagnute i elektroni u kanalu će početi da se kotrljaju prema drejnu, kao što je ilustrovano na Sl. 5.5. Snižavanje dna provodne zone u drejnu postiže se spoljašnjim primenjenim naponom V_{DS} . Donji desni dijagram energetske zone na Sl. 5.5a pokazuje da je energetska razlika između sorsa i drejna tačno qV_{DS} .

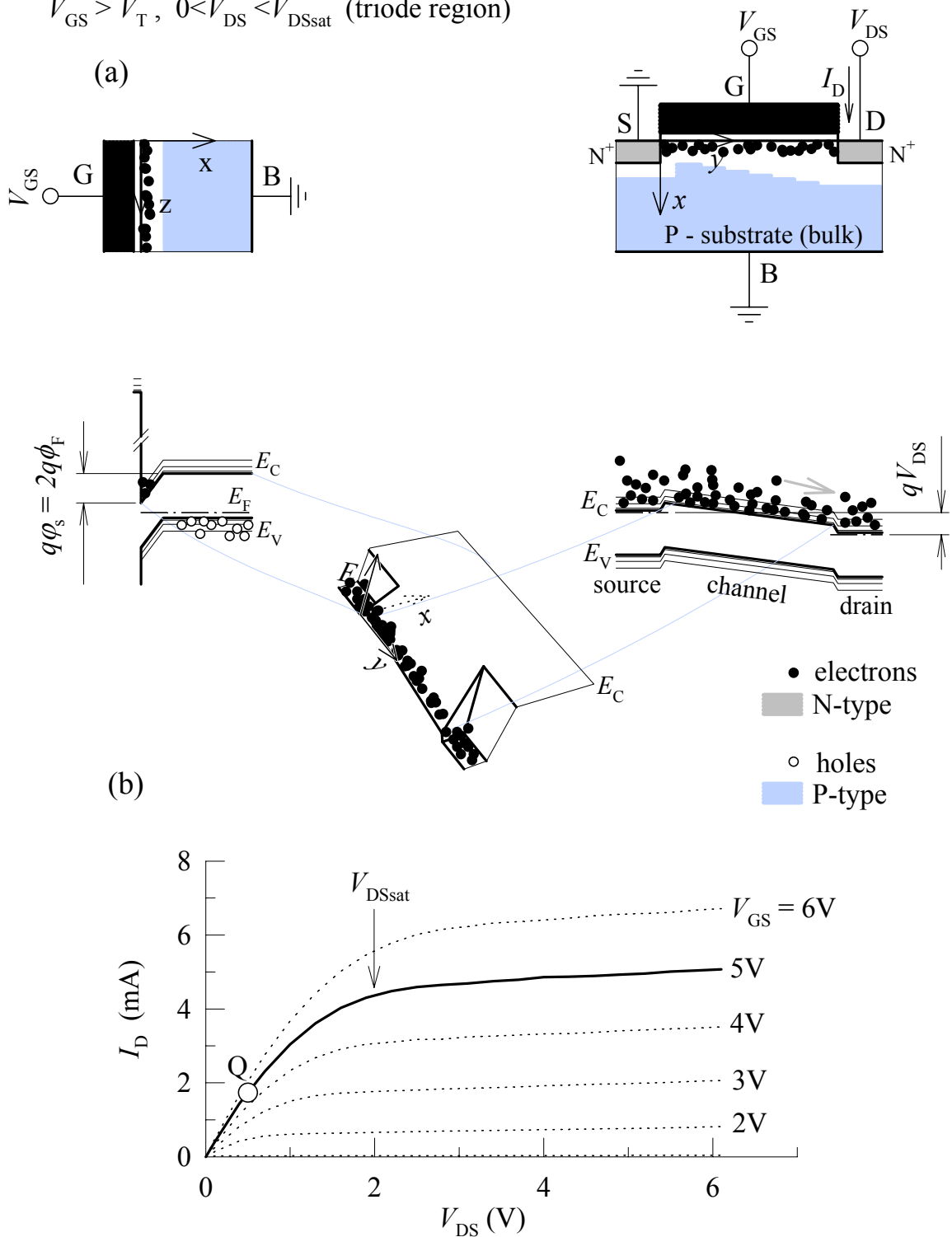
Dva važna faktora koji utiču na vrednost struje drejna I_D su nagib energetske zone i gustina elektrona u kanalu. Kako je nagib direktno proporcionalan naponu V_{DS} , a gustina elektrona u kanalu je data jednačinom (5.6), struja drejna može biti izražena kao:

$$I_D = \beta \cdot (V_{GS} - V_T) \cdot V_{DS} \quad (5.7)$$

gde faktor proporcionalnosti β uračunava kapacitivnost oksida C_{ox} . U odeljku 5.1.3 biće pokazano da faktor β , pored C_{ox} , zavisi i od brojnih drugih parametara.

Jednačina (5.7) predviđa linearnu zavisnost struje drejna I_D od napona između drejna i sorsa V_{DS} . Kao što je ilustrovano na Sl. 5.5b, to je korektno za male vrednosti napona V_{DS} . Ova oblast napona V_{DS} naziva se *linearna oblast*. Razlog zašto pri velikim vrednostima V_{DS} dolazi do zasićenja struje biće razmatran u odeljku 5.1.3.

$$V_{GS} > V_T, \quad 0 < V_{DS} < V_{DSsat} \quad (\text{triode region})$$



Slika 5.5 MOSFET u linearnoj oblasti: (a) Ilustracija dijagrama energetskih zona na poprečnim presecima i (b) izlazne karakteristike

Body Effect

Do sada je bilo pretpostavljeno da su sors i balk MOSFET-a bili kratkospojeni ($V_{BS}=0$). Iako se MOSFET-ovi veoma često koriste na takav način, postoje određene primene u kojima balk i sors ne mogu biti kratkospojeni, ili se namerno primenjuje napon različit od nule između balka i sorsa. U slučaju N-kanalnog MOSFET-a, što znači balka P-tipa i sorsa N-tipa, napon primenjen između balka i sorsa ne sme biti pozitivan, jer bi došlo do direktne polarizacije P-N spoja balk-sors i otvaranja provodnog puta između sorsa i balka. Negativni naponi balka u odnosu na sors ($V_{BS}<0$), što je

ekvivalentno pozitivnim naponima sorsa u odnosu na balk ($V_{SB}>0$), dovešće P-N spoj balk-sors u inverzni režim. Inverzna polarizacija spoja balk-sors povećava napon praga MOSFET-a, što se naziva *efektom tela* (body effect).

Da bismo razumeli body efekat, MOSFET treba razmatrati u dve dimenzije: jedna normalna na površinu poluprovodnika (duž x-ose) i druga duž kanala (y-osa). Sl. 5.6 obezbeđuje energetske zone MOSFETa duž ove dve dimenzije za različite površinske potencijale ϕ_S . Na Sl. 5.6a, površinski potencijal u odnosu na balk je nula (zone su ravne u P-supstratu duž x-ose). Efekat primenjenog napona V_{SB} vidljiv je na dijagramu energetskih zona duž y-ose. On pokazuje da primenjeni napon V_{SB} deli Fermijev nivo na kvazi-Fermijeve nivoe P-supstrata (E_{FP}) i sorsa N-tipa (E_{FN}). Ovaj efekat već je bio objašnjen u odeljku o inverzno polarisanom P-N spoju (Sl. 2.6c). Kao posledica toga, energetska barijera za elektrone između sorsa i kanala je uvećana za qV_{SB} u odnosu na slučaj za $V_{SB}=0$ (Sl. 5.2).

Slika 5.6 ilustruje slučaj $\phi_S = 2\phi_F$. Ovo je vrednost površinskog potencijala koja odgovara stanju jake inverzije (formiran je kanal od elektrona) u slučaju $V_{SB}=0$. Kao što se može videti sa Sl. 5.6b, površinski potencijal $\phi_S = 2\phi_F$ ne snižava dovoljno energetska barijeru između sorsa i kanala u slučaju kada je $V_{SB}>0$. Da bi se kompenzovao efekat polarizacije V_{SB} , površinski potencijal treba dalje povećati (i prema tome smanjiti energetska barijeru), a to je tačno za V_{SB} . Slika 5.6c ilustruje da je energetska barijera između sorsa i kanala snižena na malu vrednost u jakoj inverziji kada je površinski potencijal $\phi_S = 2\phi_F + V_{SB}$.

U slučaju kada je $V_{SB}>0$, površinski potencijal u jakoj inverziji je $\phi_S = 2\phi_F + V_{SB}$.

Da bismo izveli jednačinu za napon praga, jednačina (5.2) mora biti modifikovana da bi se uzela u obzir činjenica da u ovom slučaju balk nije uzemljen, već je primenjen napon $V_{SB}>0$. Da bismo dobili pad napona na oksidu, površinski potencijal ϕ_S (izražen u odnosu na potencijal balka) treba oduzeti od napona gejtbalk. Pošto je napon gejtbalk jednak $V_{GS}+V_{SB}$, jednačina (5.2) postaje:

$$\underbrace{\frac{V_{GS} + V_{SB} - V_{FB}}{\text{efektivni napon gejtbalk}} - \phi_S}_{\text{pad napona na oksidu}} = \frac{Q_d}{C_{ox}} \quad (\text{za } V_{GS} \leq V_T) \quad (5.8)$$

Uzimajući da je površinski potencijal $\phi_S = 2\phi_F + V_{SB}$ na početku jake inverzije ($V_{GS}=V_T$), dobija se sledeća jednačina:

$$V_T + V_{SB} - V_{FB} - (2\phi_F + V_{SB}) = \frac{Q_d}{C_{ox}} \quad (5.9)$$

koja dovodi do istog izraza za napon praga kao i jednačina (5.4):

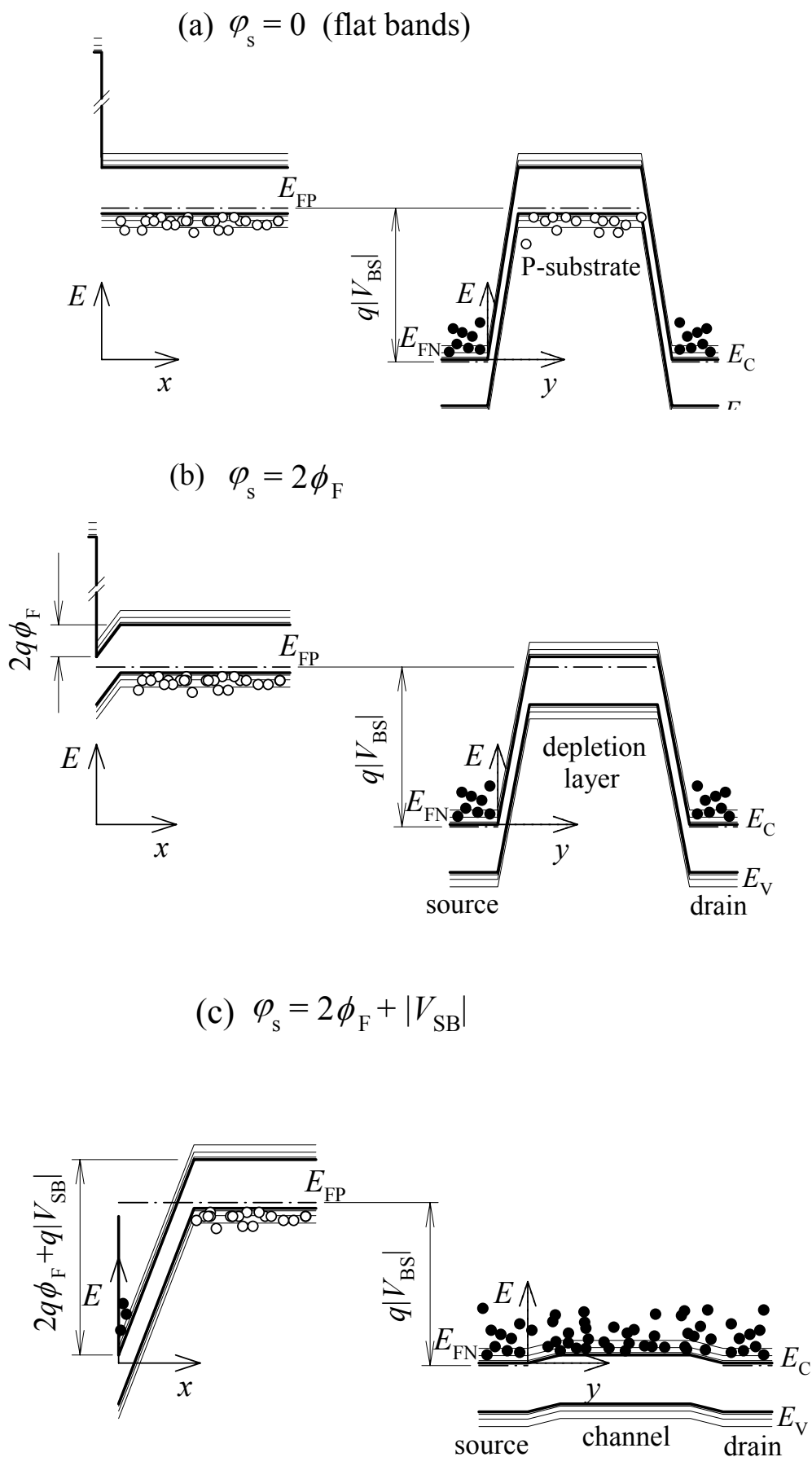
$$V_T = V_{FB} + 2\phi_F + \frac{Q_d}{C_{ox}} \quad (5.10)$$

Medjutim, postoji razlika usled činjenice da Q_d zavisi od površinskog potencijala. Bilo je pokazano da se Q_d/C_{ox} može transformisati u $\gamma\sqrt{2\phi_F}$ kada je $V_{SB}=0$. U slučaju kada je $V_{SB}>0$ površinski potencijal nije $2\phi_F$, već $2\phi_F + V_{SB}$, što znači da se Q_d/C_{ox} transformiše u $\gamma\sqrt{2\phi_F + V_{SB}}$. Prema tome, jednačina za napon praga, koja uključuje efekat napona V_{SB} , ima sledeći oblik:

$$V_T = V_{FB} + 2\phi_F + \gamma\sqrt{2\phi_F + V_{SB}} \quad (5.11)$$

Porast napona praga ΔV_T , izazvan naponom V_{SB} iznosi

$$\Delta V_T = V_T(V_{SB}) - V_T(V_{SB} = 0) = \gamma(\sqrt{2\phi_F + V_{SB}} - \sqrt{2\phi_F}) \quad (5.12)$$



Slika 5.6 Ilustracija body-efekta: (a) napon V_{SB} povećava barijeru između elektrona u sorsu i kanala, (b) površinski potencijal $2\phi_F$ ne smanjuje dovoljno barijeru za elektrone da bi mogli da udju u kanal, i (c) površinski potencijal potreban da se formira kanal je $2\phi_F + V_{SB}$

◆ **Primer 5.1 Napon praga sa $V_{SB}=0$ i $V_{SB}\neq 0$ (Body Effect)**

N-kanalni MOSFET sa polisilicijumskim gejtom N^+ -tipa ima debljinu oksida od 10 nm i koncentraciju primesa u supstratu $N_A=5 \times 10^{16} \text{ cm}^{-3}$. Gustina naelektrisanja u oksidu je $N_{oc}=5 \times 10^{10} \text{ cm}^{-2}$. Odrediti napon praga ako je balk polarisan naponom 0 i -5V, respektivno. Poznate su sledeće konstante: termički napon $kT/q=0.026 \text{ V}$, dielektrična propustljivost oksida $\epsilon_{ox}=3.9 \times 8.85 \times 10^{-12} \text{ F/m}$, dielektrična propustljivost silicijuma $\epsilon_{si}=11.8 \times 8.85 \times 10^{-12} \text{ F/m}$, sopstvena koncentracija nosilaca $n_i=1.02 \times 10^{10} \text{ cm}^{-3}$, i širina zabranjene zone silicijuma $E_g=1.12 \text{ eV}$.

Rešenje: Da bismo iskoristili jednačinu (5.11) za napon praga, treba najpre odrediti Fermijev potencijal ϕ_F , napon ravnih zona V_{FB} i faktor tela γ . Prema jednačini (2.63), Fermijev potencijal je

$$\phi_F = \frac{kT}{q} \ln \frac{N_A}{n_i} = 0.401 \text{ V}$$

Jednačina za napon ravnih zona (2.65) pokazuje da je potrebno odrediti i razliku izlaznih radova ϕ_{ms} i kapacitivnost oksida gejta po jedinici površine C_{ox} . Razlika izlaznih radova data je jednačinom (2.64). U slučaju gejta N^+ tipa, Fermijev nivo je veoma blizu dna provodne zone, što znači da je izlazni rad gejta $q\phi_m$ približno jednak afinitetu elektrona $q\chi_s$ (Odeljak 2.3), prema tome

$$\phi_{ms} = -\frac{E_g}{2q} - \phi_F = -0.961 \text{ V}$$

Pošto je kapacitivnost oksida gejta po jedinici površine

$$C_{ox} = \epsilon_{ox} / t_{ox} = 3.45 \times 10^{-3} \text{ F/m}^2$$

za napon ravnih zona se dobija

$$V_{FB} = \phi_{ms} - \frac{qN_{oc}}{C_{ox}} = -0.961 - \frac{1.6 \times 10^{-19} \cdot 5 \times 10^{14}}{3.45 \times 10^{-3}} = -0.984 \text{ V}$$

Bodi faktor dat je jednačinom (2.76):

$$\gamma = \frac{\sqrt{2\epsilon_{si}qN_A}}{C_{ox}} = \frac{\sqrt{2 \cdot 11.8 \cdot 8.85 \times 10^{-12} \cdot 1.6 \times 10^{-19} \cdot 5 \times 10^{22}}}{3.45 \times 10^{-3}} = 0.375 \text{ V}^{1/2}$$

Napon praga pri naponu $V_{SB}=0$ se izračunava kao

$$\begin{aligned} V_T(0) &= V_{FB} + 2\phi_F + \gamma\sqrt{2\phi_F + V_{SB}} \\ &= -0.984 + 2 \cdot 0.401 + 0.375\sqrt{2 \cdot 0.401 + 0} = 0.15 \text{ V} \end{aligned}$$

Da bismo izračunali napon praga pri $V_{SB}=5\text{V}$, odredimo razliku napona praga korišćenjem jednačine (5.12):

$$\Delta V_T = 0.375 \cdot (\sqrt{2 \cdot 0.401 + 5} - \sqrt{2 \cdot 0.401}) = 0.57 \text{ V}$$

Prema tome, $V_T(5\text{V}) = V_T(0) + \Delta V_T = 0.72 \text{ V}$

5.1.3 MOSFET kao naponski-kontrolisani strujni izvor: Mehanizmi strujnog zasićenja

Kada MOSFET radi kao zatvoreni prekidač ($V_{GS} > V_T$ i $V_{DS} < V_{DSsat}$) normalno električno polje od napona na gejtu V_{GS} drži elektrone u kanalu inverznog sloja, dok ih lateralno električno polje usled napona između drejna i sorsa V_{DS} kotrlja prema drejnu. Kanal od elektrona se proteže duž celog puta od sorsa do drejna, a njegova otpornost određuje nagib linearne I_D - V_{DS} karakteristike.

Da bismo koristili MOSFET kao izvor struje, I_D treba da postane nezavisno od V_{DS} . Ovo se dešava pri velikim naponima drejn-sors ($V_{DS} > V_{DSsat}$), a efekat se naziva zasićenje struje drejna. Postoje dva različita mehanizma koji mogu da izazovu zasićenje struje drejna u MOSFET-ovima. Ova dva mehanizma razmatraće se u tekstu koji sledi.

Prekid kanala (Pinch-off)

Kako se napon drejn-sors V_{DS} povećava, povećava se takodje i lateralno električno polje u kanalu, i može postati jače od vertikalnog električnog polja koje potiče od napona na gejtu. Ovo će se najpre desiti na kraju kanala kod drejna. U ovoj situaciji, vertikalno električno polje nije u stanju da drži elektrone na kraju kanala kod drejna jer ih lateralno električno polje prebacuje u drejn. Kanal se zbog toga prekida kod drejna. Napon drejn-sors pri kome se ovo dešava naziva se *napon zasićenja* V_{DSsat} .

Povećanje napona V_{DS} iza V_{DSsat} proširuje oblast u kojoj je lateralno električno polje jače od vertikalnog polja u kanalu, efektivno pomerajući tačku prekida kanala bliže prema sorsu. Ovo je ilustrovano na poprečnom preseku MOSFET-a duž y-ose, prikazanom na Sl. 5.7a (gornji desni ugao). Oblast formirana između tačke prekida kanala (pinch-off) i drejna je ustvari osiromašeni sloj na inverzno polarisanom P-N spoju drejn-supstrat. Napomenimo da mi razmatramo površinsku oblast spoja, koja je pod uticajem napona na gejtu. Prema tome, površinska oblast P-N spoja nije u stanju inverzne polarizacije sve dok napon na drejnu ne dostigne V_{DSsat} . Ovo je različito od balkovske oblasti P-N spoja koja je u stanju inverzne polarizacije za bilo koju vrednost napona V_{DS} .

Pad napona na površinskom delu osiromašene oblasti (inverzna polarizacija) je $V_{DS} - V_{DSsat}$, što je zapravo porast napona iza V_{DSsat} . Preostali deo napona drejn-sors, koji iznosi V_{DSsat} , pada između pinch-off tačke i sorsa. U ovoj oblasti vertikalno električno polje je jače od lateralnog polja, i inverzni sloj (kanal od elektrona) još uvek postoji. Ovo je ustvari onaj deo oblasti sors-drejn, označen kao kanal na Sl. 5.7a, koji određuje vrednost struje drejna.

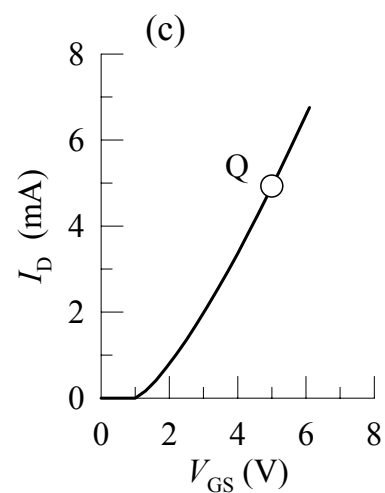
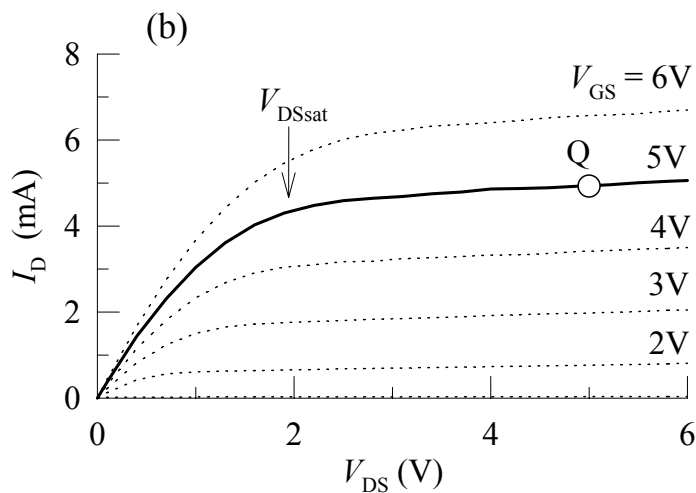
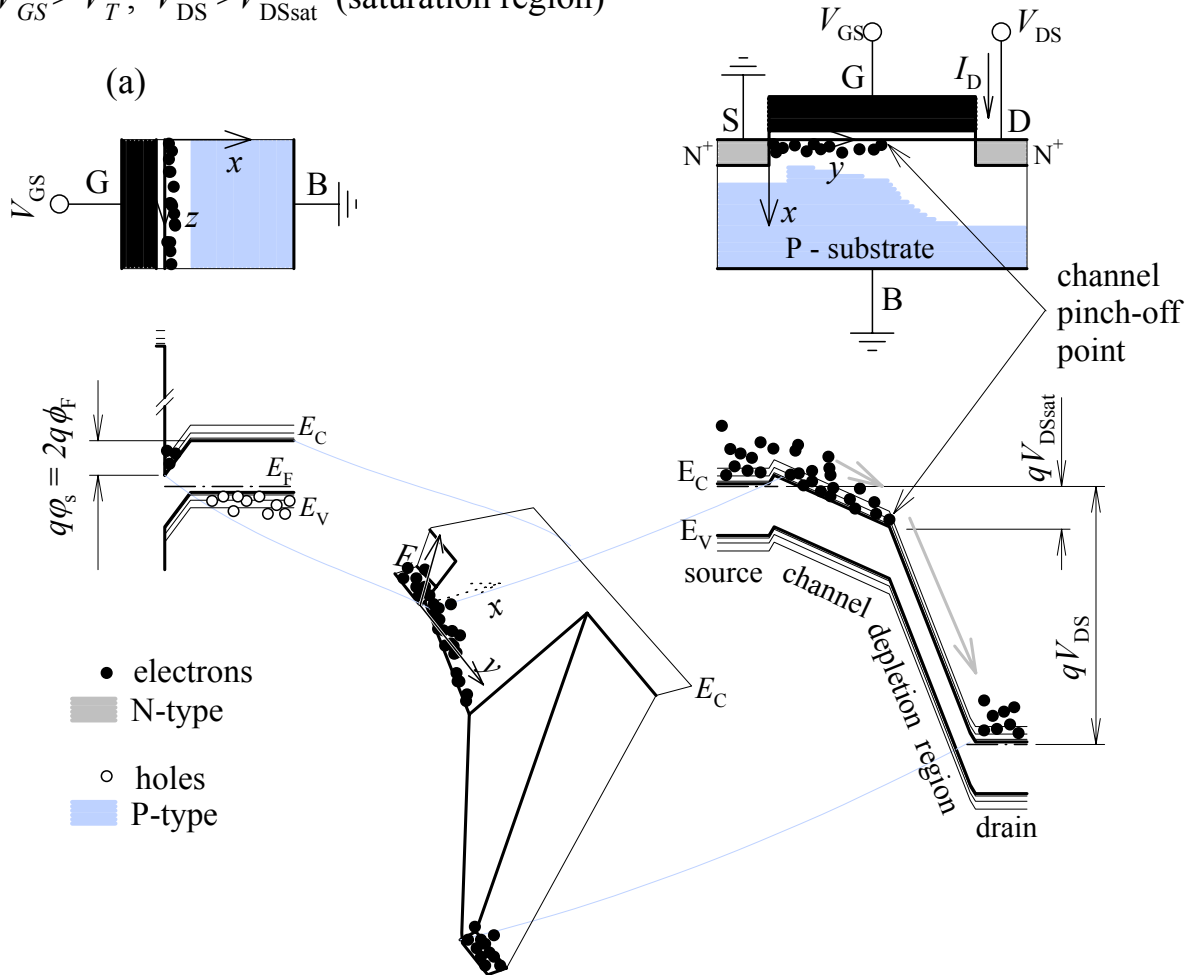
Pad napona duž kanala od elektrona je fiksiran na V_{DSsat} za $V_{DS} > V_{DSsat}$. Kao posledica toga, struja drejna ostaje fiksirana na vrednost koja odgovara V_{DSsat} . Ovaj efekat se naziva zasićenje struje drejna, i za $V_{DS} > V_{DSsat}$ ta oblast rada MOSFET-a se naziva *oblast zasićenja*.

Dijagram energetske zone MOSFET-a duž y-ose (donji desni dijagram na Sl. 5.7a) obezbedjuje jasnije shvatanje efekta zasićenja struje usled prekida kanala. On pokazuje veoma strme energetske zone u osiromašenoj oblasti, što predstavlja situaciju veoma jakog lateralnog električnog polja u toj oblasti. Elektroni ne troše mnogo vremena na ovom veoma strmom delu dna provodne zone; oni se veoma brzo skotrljaju u drejn. Ovaj deo oblasti sors-drejn nudi malu otpornost elektronima. Iako porast napona V_{DS} iza V_{DSsat} nastavlja da snižava položaj provodne zone u drejnu, Sl. 5.7a ilustruje da ovo ne povećava struju drejna. Elektroni se na ovom obliku energetske zone mogu uporediti sa vodopadom: vodeni tok zavisi od količine vode pre pada (kanal) a ne od visine samog vodopada ($qV_{DS} - qV_{DSsat}$).

1. Osiromašena oblast ima mali uticaj na struju drejna
2. Vrednost struje drejna ograničena je brojem elektrona koji se pojavljuju na ivici osiromašene oblasti (u tački pinch-off)

- Broj elektrona u kanalu, i prema tome i u pinch-off tački, kontrolisan je naponom na gejtu, a ne naponom na drejnu
- Kao posledica toga, struja drejna je kontrolisana naponom na gejtu i nezavisna je od napona na drejnu
- MOSFET se ponaša kao naponski kontrolisan izvor struje.

$$V_{GS} > V_T, \quad V_{DS} > V_{DSsat} \quad (\text{saturation region})$$



Slika 5.7 MOSFET u oblasti zasićenja: (a) ilustracija poprečnih preseka i dijagrami energetske zone, (b) izlazne karakteristike, i (c) prenosne karakteristike

I_D - V_{DS} karakteristike prikazane na Sl. 5.7b ilustruju efekat zasićenja struje drejna. Puna linija pokazuje kompletnu I_D - V_{DS} zavisnost u jakoj inverziji za fiksirani napon na gejtu V_{GS} (u primeru na Sl. 5.7b je $V_{GS}=5V$). Karakteristika je linearna za male napone na drejnu V_{DS} . Kako povećanje napona V_{DS} počinje da osiromašuje kanal elektronima na kraju koji je blizu drejna, ova karakteristika počinje da odstupa od linearne zavisnosti. Vrednost napona drejn-sors koja prekida kanal kod drejna naziva se *napon zasićenja* V_{DSsat} .

Oblast napona drejn-sors izmedju nule i napona zasićenja ($0 \leq V_{DS} < V_{DSsat}$) naziva se *triodna oblast*. Oblast napona drejn-sors većih od napona zasićenja ($V_{DS} \geq V_{DSsat}$) je *oblast zasićenja*.

Isprekidane linije na Sl. 5.7b i I_D - V_{GS} karakteristika na Sl. 5.7c (prenosna karakteristika) ilustruje efekat napona na gejtu. Očigledno je da struja zavisi od napona na gejtu čak i u oblasti zasićenja. To je zbog toga što napon na gejtu određuje broj elektrona u kanalu (u jakoj inverziji), koji u prevodu direktno određuje struju. Ovo je korisna karakteristika jer omogućava da strujni izvor (a to je MOSFET u oblasti zasićenja) bude *kontrolisan* naponom. Slika 5.7b takodje pokazuje da je napon zasićenja V_{DSsat} različit za različite napone V_{GS} . Ovo je posledica činjenice da je mnogo manji napon drejn-sors potreban da nadvlada efekat manjeg napona na gejtu i prekine kanal kod drejna.

Zasićenje driftovske brzine

Da bi se povećala gustina pakovanja i brzina savremenih integrisanih kola, konstantno se smanjuju minimalne lateralne i vertikalne dimenzije MOSFET-ova. Ovakvi MOSFET-ovi nazivaju se *kratkokanalni* MOSFET-ovi. Radni naponi V_{DS} ne mogu biti proporcionalno smanjeni jer maksimalni radni napon mora biti zadržan znatno iznad napona praga MOSFET-a. Kao posledica toga, kratkokanalni MOSFET-ovi rade sa znatno povećanim lateralnim i vertikalnim električnim poljima u kanalu. Iako je relativni odnos lateralnog i vertikalnog električnog polja grubo ostao isti, ovi MOSFET-ovi mogu pokazati drugačiji oblik zasićenja struje drejna. Može se desiti da struja udje u zasićenje pri naponu drejn-sors manjem od napona koji bi izazvao prekid kanala kod drejna

Da bi se objasnio ovaj efekat, vratimo se na jednačinu (1.47) (Odeljak 1.4.1) koja pokazuje da je struja direktno proporcionalna driftovskoj brzini nosilaca. Kao što je objašnjeno u Odeljku 1.4.1, driftovska brzina prati linearnu zavisnost od lateralnog električnog polja u kanalu do određenog nivoa, a zatim ulazi u zasićenje ako polje poraste iznad tog nivoa (Sl. 1.18). Lateralno električno polje u kratkokanalnom MOSFET-u može biti jače od kritične vrednosti koja dovodi do zasićenja brzine, ali ne i jače od vertikalnog električnog polja na kraju kanala kod drejna (kanal nije prekinut). Bez obzira na to, struja drejna će ući u zasićenje preteći zasićenje brzine nosilaca u kanalu.

Iako je ovo drugačiji mehanizam zasićenja struje, MOSFET podjednako dobro može biti korišćen kao naponski kontrolisani strujni izvor.

Kada se radi o modeliranju ovog mehanizma zasićenja, vredi razmotriti sledeće pitanje: **Ako kanal nije prekinut, on može biti modeliran kao otpornik izmedju sorsa i drejna. Da li bi važio Omov zakon, koji kaže da struja kroz otpornik linearno zavisi od napona?** Kao što je objašnjeno u Odeljku 1.4.2, ne bismo mogli verovati Omovom zakonu jer nije korektan za ovaj slučaj velikih lateralnih električnih polja. Zasićenje brzine i odgovarajuće zasićenje struje se zaista dešava. Sve što možemo da učinimo sa Omovim zakonom je da promenimo na odgovarajući način vrednost pokretljivosti u jednačini (1.48) tako da se ovaj efekat pravilno modelira. Odeljak o modeliranju MOSFET-a će opisati modele za pokretljivost koji se u simulatoru SPICE koriste da bi uračunali ovaj efekat.

5.1.4 Tipovi MOSFET-ova

Do sada smo razmatrali samo jedan tip MOSFET-a, koji koristi supstrat (balk) P-tipa i slojeve sorsa i drejna N^+ tipa, i koji zahteva pozitivne napone na gejtu da bi uključili MOSFET stvaranjem kanala od elektrona između sorsa i drejna. Pošto ovaj tip MOSFET-a radi sa kanalom N-tipa (elektronima) on se naziva *N-kanalni* MOSFET. Moguće je realizovati komplementarni MOSFET korišćenjem supstrata (balka) N-tipa i oblasti sorsa i drejna P^+ tipa. U ovom tipu MOSFET-a, kanal koji povezuje sors i drejn u uključenom stanju treba da bude formiran od šupljina (nosilaca P-tipa), pa se zbog toga on naziva *P-kanalni* MOSFET. Nazivi N-kanalni i P-kanalni MOSFET-ovi često se zamenjuju kraćim nazivima NMOS i PMOS.

Zajednička karakteristika gore opisanog N-kanalnog i P-kanalnog MOSFET-a je da su oni u isključenom stanju kada na gejtu nije primenjen napon. To je zbog toga što ne postoji kanal između sorsa i drejna, i prema tome struja drejna jednaka je nuli. Prema tome, ovi MOSFET-ovi se klasifikuju kao *normalno isključeni* MOSFET-ovi. Prenosne karakteristike sa Sl. 5.8 pokazuju da se struja drejna pojavljuje pri dovoljno velikim pozitivnim naponima na gejtu u slučaju N-kanalnog, i negativnim naponima na gejtu u slučaju P-kanalnog MOSFET-a. To je zbog toga što su odgovarajući naponi na gejtu neophodni da formiraju kanal od elektrona, odnosno šupljina u N-kanalnom, odnosno P-kanalnom MOSFET-u, respektivno. Kao posledica toga, MOSFET-ovi ovog tipa nazivaju se MOSFET-ovi sa *indukovanim kanalom* (enhancement).

MOSFET-ovi mogu biti realizovani sa tehnološki ugrađenim kanalom. Pošto napon na gejtu nije potreban da bi doveo MOSFET u stanje uključenja, oni se nazivaju *normalno uključeni* MOSFET-ovi. Da bi se MOSFET-ovi ovog tipa isključili, kanali treba da budu osiromašeni elektronima i šupljinama, pa se zbog toga nazivaju MOSFET-ovi sa *ugrađenim kanalom* (depletion). Slika 5.8 ilustruje da je u slučaju N-kanalnog MOSFET-a potreban negativan napon na gejtu da bi prestala da teče struja drejna, i slično da je potreban pozitivan napon na gejtu da bi isključio P-kanalni MOSFET.

Definisanjem napona praga kao napona na gejtu pri kome je kanal upravo formiran (ili osiromašen), možemo reći da je napon praga N-kanalnog MOSFET-a sa indukovanim kanalom pozitivan, a N-kanalnog MOSFET-a sa ugrađenim kanalom negativan. Sa P-kanalnim MOSFET-ovima situacija je obrnuta: napon praga u slučaju indukovanog kanala je negativan, a u slučaju ugrađenog kanala je pozitivan.

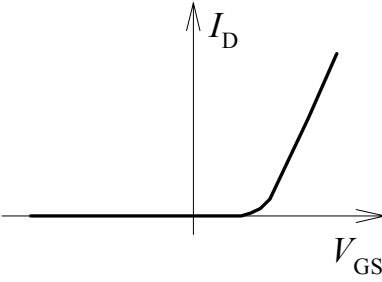
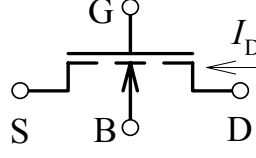
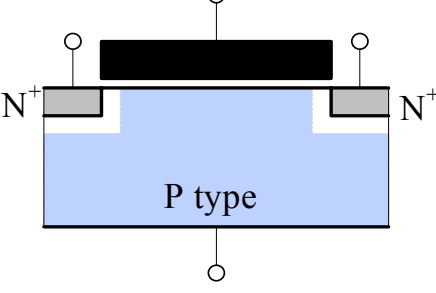
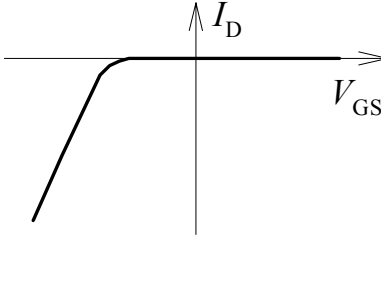
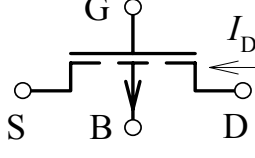
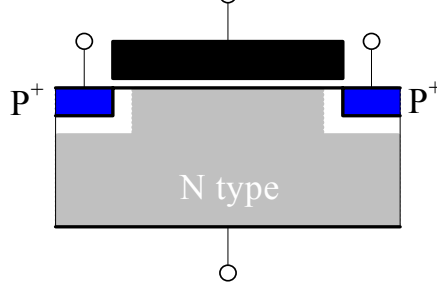
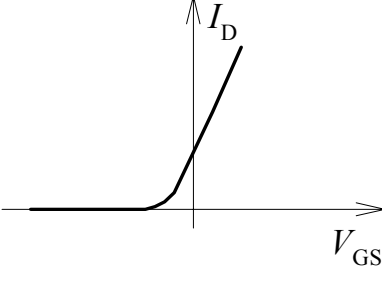
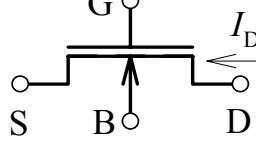
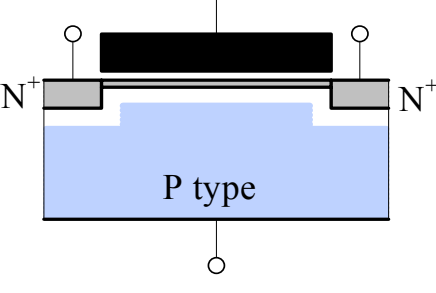
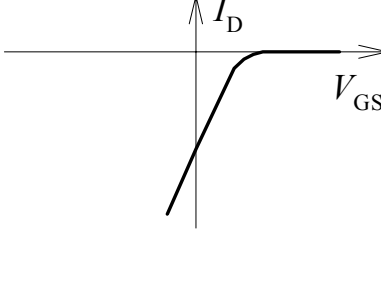
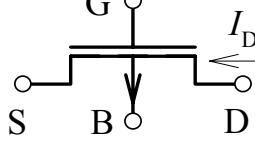
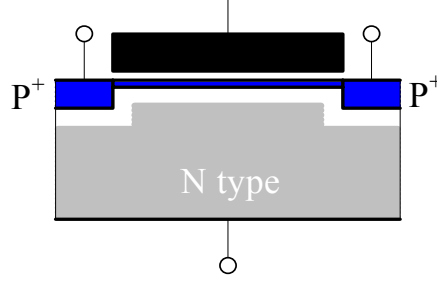
Glavni tip MOSFET-a je N-kanalni sa indukovanim kanalom. P-kanalni MOSFET sa indukovanim kanalom se koristi kao komplementarni tranzistor u integrisanim kolima poznatim kao CMOS tehnologija (complementary MOS). N-kanalni MOS tranzistori sa ugrađenim kanalom se koriste kao vrsta komplementarnih tranzistora u integrisanim kolima koja koriste samo N-kanalne MOSFET-ove (NMOS tehnologija).

5.2 MOSFET TEHNOLOGIJE

Ovaj odeljak započecemo sa kratkim opisivanjem alternativne tehnike za dopiranje poluprovodnika, jonske implantacije, koja omogućava razvoj savremenih MOSFET tehnologija. Medjutim, glavina ovog odeljka namenjena je dvama standardnim MOSFET tehnološkim procesima: N-kanalnim MOSFET (NMOS) i komplementarnim MOSFET (CMOS) tehnologijama.

5.2.1 Jonska implantacija

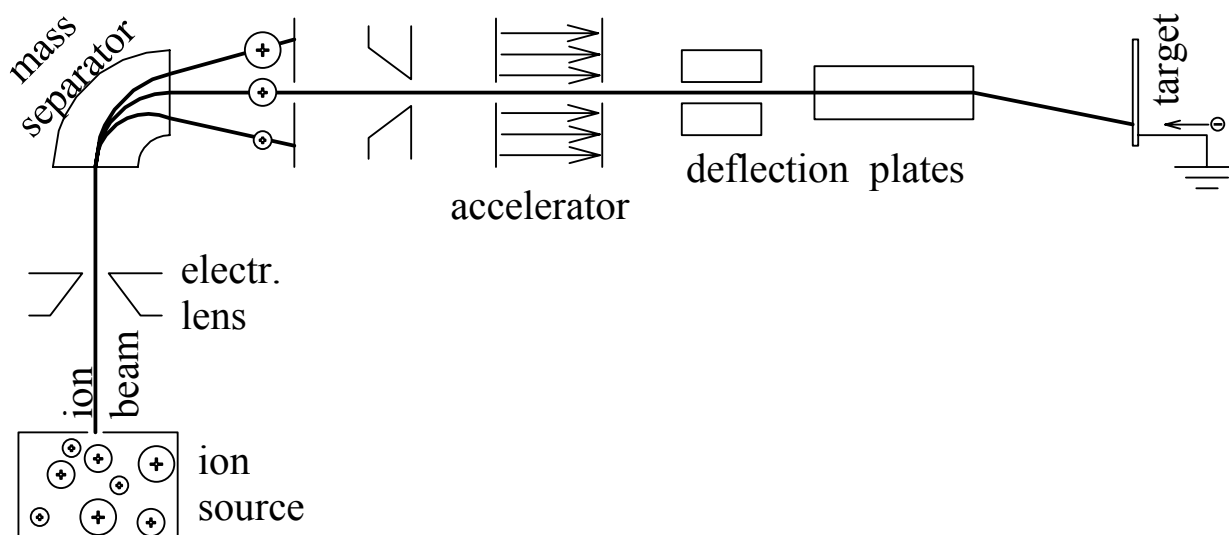
Jonska implantacija je jedan od dva principijelna načina za uvođenje atoma primesa u poluprovodnički supstrat. Dijagram jonskog implantera na Sl. 5.9 ilustruje proces jonske implantacije. Proces započinje jonizacijom gasa koja formira mešavinu jona u kojoj su sadržani i joni elementa za dopiranje. Željeni joni se izdvajaju prema njihovoj atomskoj masi u masenom separatoru (radi na principu magnetnog polja), mlaz jona se zatim fokusira i joni se ubrzavaju do željene energije (tipično

	N-channel (NMOS)	P-channel (PMOS)
Enhancement (normally off)	  	  
Depletion (normally on)	  	  

Slika 5.8 Tipovi MOSFET-ova

između 10 i 200 keV). Mlaz jona se skenira po površini silicijumske pločice da bi se postiglo uniformno dopiranje. Kada joni primese koju implantiramo pogode silicijumsku pločicu, oni trpe više sudara sa atomima poluprovodnika pre nego što se zaustave na određenoj dubini ispod površine. Pošto je meta (pločica) uzemljena, da bi se kompletiralo električno kolo, implantirani joni se neutrališu elektronima koji teku u supstrat.

Iako svi joni iz mlaza imaju istu energiju, oni se ne zaustavljaju na istoj dubini, jer proces zaustavljanja uključuje niz slučajnih događaja. Ovo je ilustrovano na Sl. 5.10a. Prema tome, proces jonske implantacije dovodi do zvonastog oblika profila atoma primesa, što je prikazano na Sl. 5.10b.

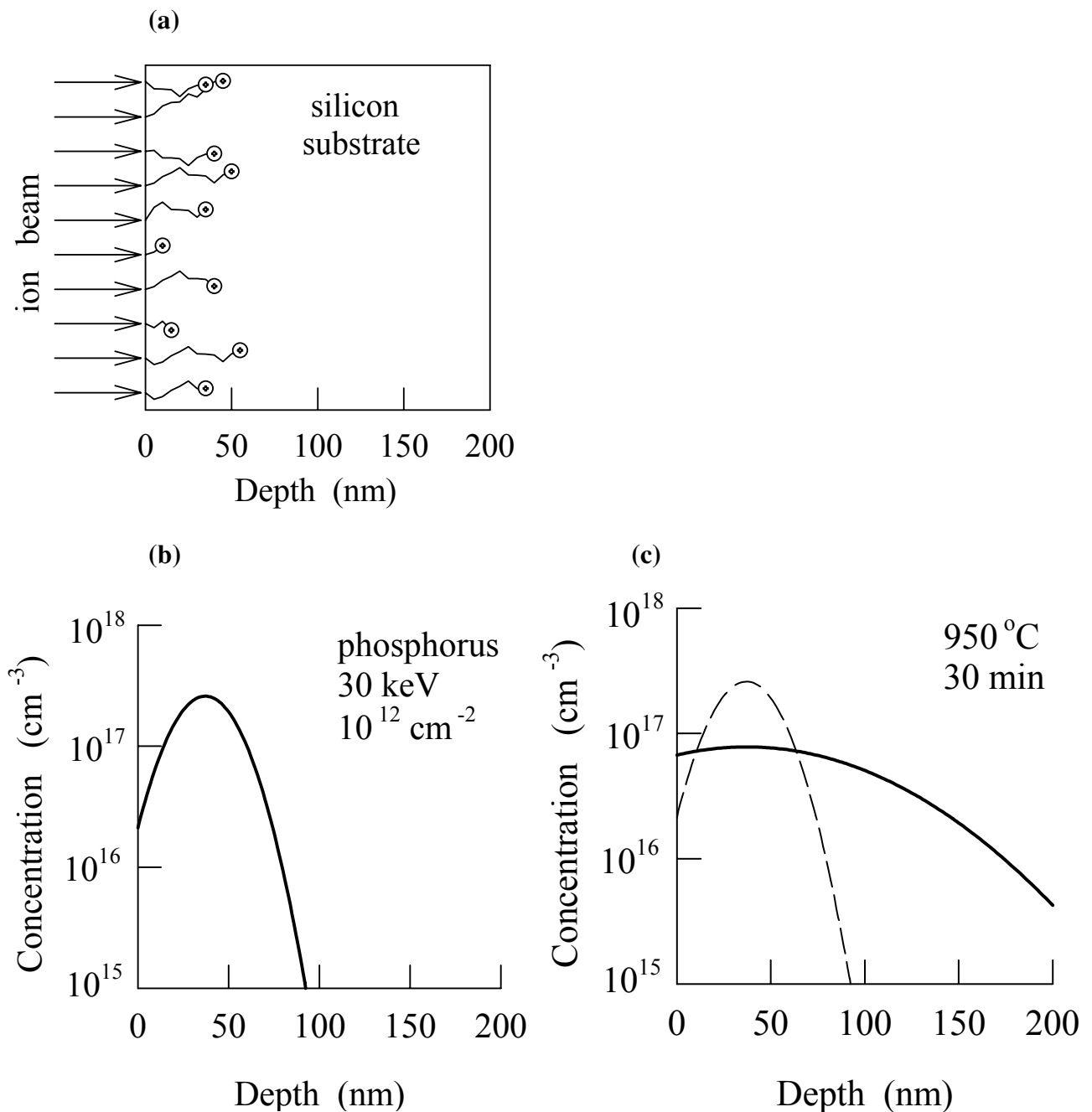


Slika 5.9 Dijagram jonskog implantera

Atomi primesa električno su aktivni samo kada zamene atome poluprovodnika u njihovim pozicijama u kristalnoj rešetki. Implantirani atomi uglavnom završavaju u intersticijalnim položajima. Takođe, zbog sudara će brojni atomi poluprovodnika biti izmešteni iz njihovih položaja, što ima za posledicu oštećenje rešetke poluprovodničkog kristala. Zbog toga je neophodno izvršiti proces odžarivanja (annealing) nakon implantacije. Ovo odžarivanje treba da obezbedi dovoljno energije da omogući atomima silicijuma i primesa da se između sebe preurede do postizanja pravilne kristalne strukture. Minimalni uslovi odžarivanja variraju između 30 min na približno 900°C za niske doze implantiranja i 30 min na 1000°C za visoke doze implantiranja. Pošto se u toku odžarivanja na visokoj temperaturi odvija proces difuzije implantiranih atoma, ovaj proces je ekvivalentan procesu drive-in difuzije koji se primenjuje da bi se izvršila redistribucija atoma primesa (Odeljak 1.3). Promena profila implantiranih jona u toku ovog odžarivanja ilustrovana je na Sl. 5.10c.

Dva važna parametra procesa jonske implantacije su energija implantacije i količina implantiranih jona (doza). Energija implantacije određuje dubinu do koje se joni implantiraju. Doza (broj implantiranih jona po jedinici površine) određena je vremenom trajanja implantacije i strujom mlaza jona. Stuja mlaza jona može se meriti merenjem struje elektrona koji teku od mase u supstrat da bi neutralisali implantirane jone. Integracijom merene struje u vremenu dobija se implantirano naelektrisanje u supstratu, koje se deli jediničnim naelektrisanjem q i površinom supstrata da bi se dobila doza. Očigledno je da se nivo dopiranja koji se postiže jonskom implantacijom, može veoma precizno da kontroliše. Pošto napon praga MOSFET-a zavisi od nivoa dopiranja u oblasti kanala [Jednačine (5.4) i (5.5)], jonska implantacija omogućava precizno podešavanje napona praga. Ovo je omogućilo jednu od najvažnijih prednosti jonske implantacije u poredjenju sa tehnikom difuzije. Dodatna fleksibilnost u

pogledu realizacije raznih profila primesa (promenom doze i energije) predstavlja dodatnu prednost jonske implantacije. Nedostatak jonske implantacije je složenost opreme koja se reflektuje na cenu procesa dopiranja.

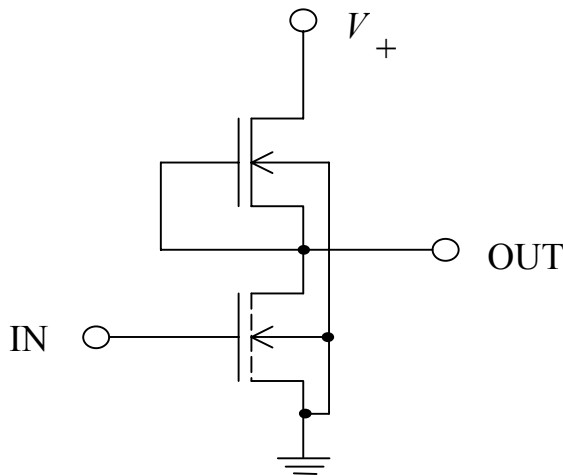


Slika 5.10 Ubrzani joni elementa primesa se sudaraju unutar poluprovodnika, zaustavljajući se na različitim dubinama (a); profil primesa neposredno nakon jonske implantacije (b) i nakon odžarivanja (c)

Postoje analitičke jednačine kojim se modelira proces jonske implantacije. Međutim, njihova primena generalno zahteva uključivanje numeričkih tehnika. Zbog toga se alati numeričke simulacije često koriste u projektovanju jonske implantacije i pratećih procesa termičkog odžarivanja, što znači ustanovljavanje vrednosti doze, energije implantacije i vremena i temperature odžarivanja da bi se dobio željeni profil primesa.

5.2.2 NMOS Tehnologija

Odeljak 4.2 uveo je osnove digitalnih kola. Osnovni izgradjivački blok digitalnih kola, inverter sa otpornim opterećenjem, prikazan je na Sl. 4.6. Naponski kontrolisani prekidač korišćen u ovom invertoru može biti ugradjen korišćenjem N-kanalnog MOSFET-a sa indukovanim kanalom. Što se tiče opteretnog otpornika R_D , on može biti uradjen u MOS tehnologiji, međjutim, to bi komplikovalo tehnologiju zahtevajući dodatne slojeve pored onih koji se koriste za MOSFET-ove, a zauzelo bi i relativno veliku površinu. Daleko efikasnije je da se otpornik R_D zameni otpornošću kanala MOSFET-a (aktivno opterećenje). N-kanalni MOSFET sa ugradjenim kanalom, povezan kao na Sl. 5.11, sasvim efikasno igra ulogu opteretnog elementa. Ovo pokazuje da složena digitalna kola mogu biti realizovana samo od N-kanalnih MOSFET-ova, pa se ta tehnologija naziva NMOS tehnologija.



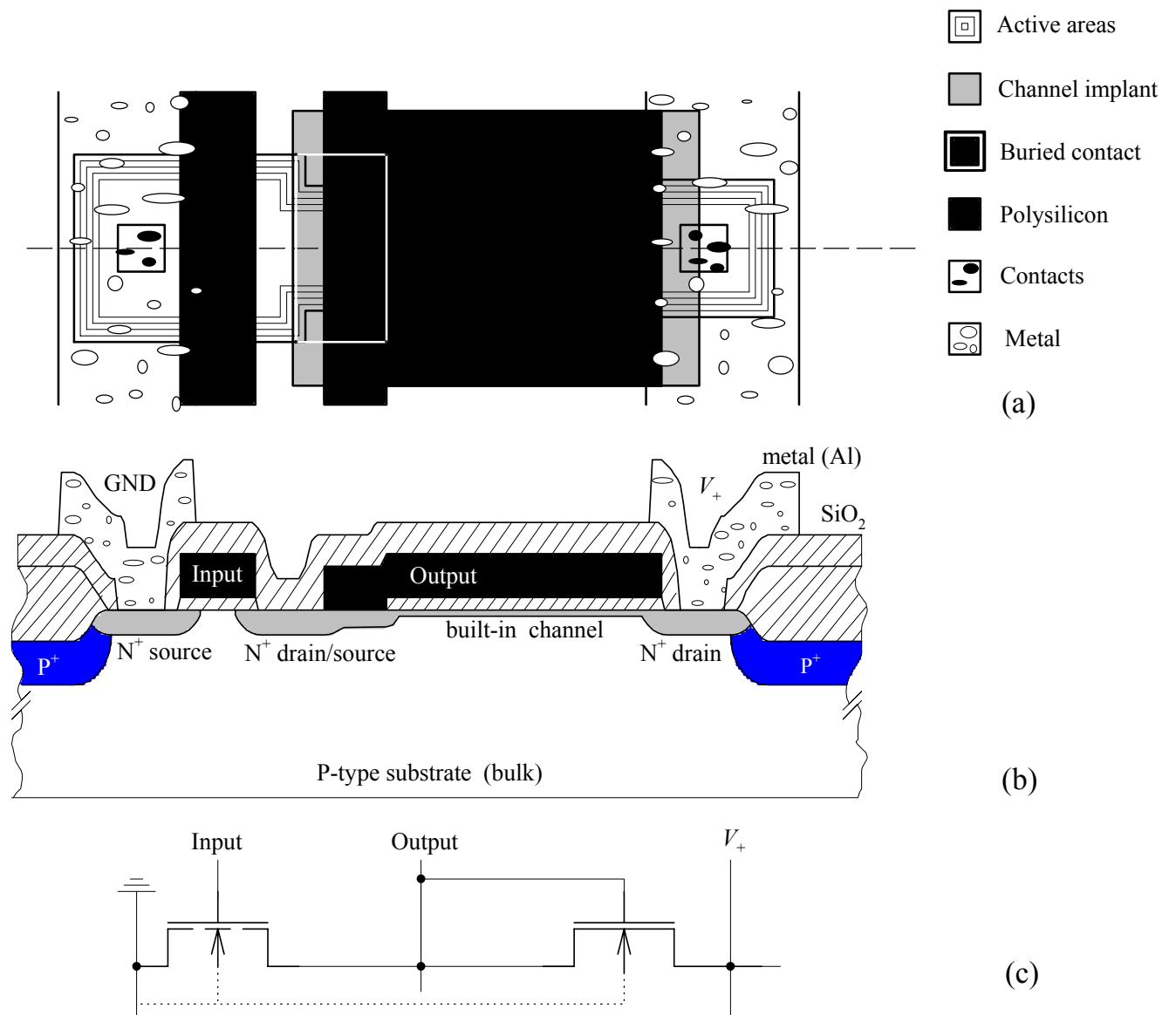
Slika 5.11 Kolo NMOS invertora

Poprečni presek i kompozitni pogled odozgo (layout) NMOS invertora prikazani su na Sl. 5.12. Oni pokazuju da je aktivna oblast NMOS invertora okružena relativno debelim oksidom (koji se naziva oksid u polju = field oxide) i P^+ difuzionom oblašću, koji električno izoluju inverter od ostatka kola. Zamislimo da je N^+ oblast susedne komponente primaknuta N^+ drejnu MOSFET-a sa ugradjenim kanalom, i da V^+ metalna linija prelazi preko prostora koji ih razdvaja. Kad ne bi bilo debelog oksida u polju i P^+ oblasti, dve N^+ oblasti i metal preko njih predstavljali bi uključeni parazitni MOSFET, što bi dovelo do struje curenja izmedju ove dve komponente. Debeli oksid u polju i povećana koncentracija primesa u supstratu ispod ovog oksida (P^+ oblast) povećavaju napon praga parazitnog MOSFET-a iznad vrednosti napona napajanja, obezbeđujući da on ostanje isključen.

Slika 5.12 takodje prikazuje da su N^+ drejn MOSFET-a sa indukovanim kanalom i N^+ sors MOSFET-a sa ugradjenim kanalom stopljeni u jednu N^+ oblast. To je učinjeno da bi se minimizirala površina invertora. Kolo uopšte ne bi radilo bolje ako bi se posebno načinile N^+ oblasti za drejn MOSFET-a sa ugradjenim i sors MOSFET-a sa indukovanim kanalom, a zatim povezale metalnom linijom sa gornje strane. Naprotiv, ovaj pristup uveo bi dodatnu parazitnu otpornost i kapacitivnost što bi pogoršalo performanse kola.

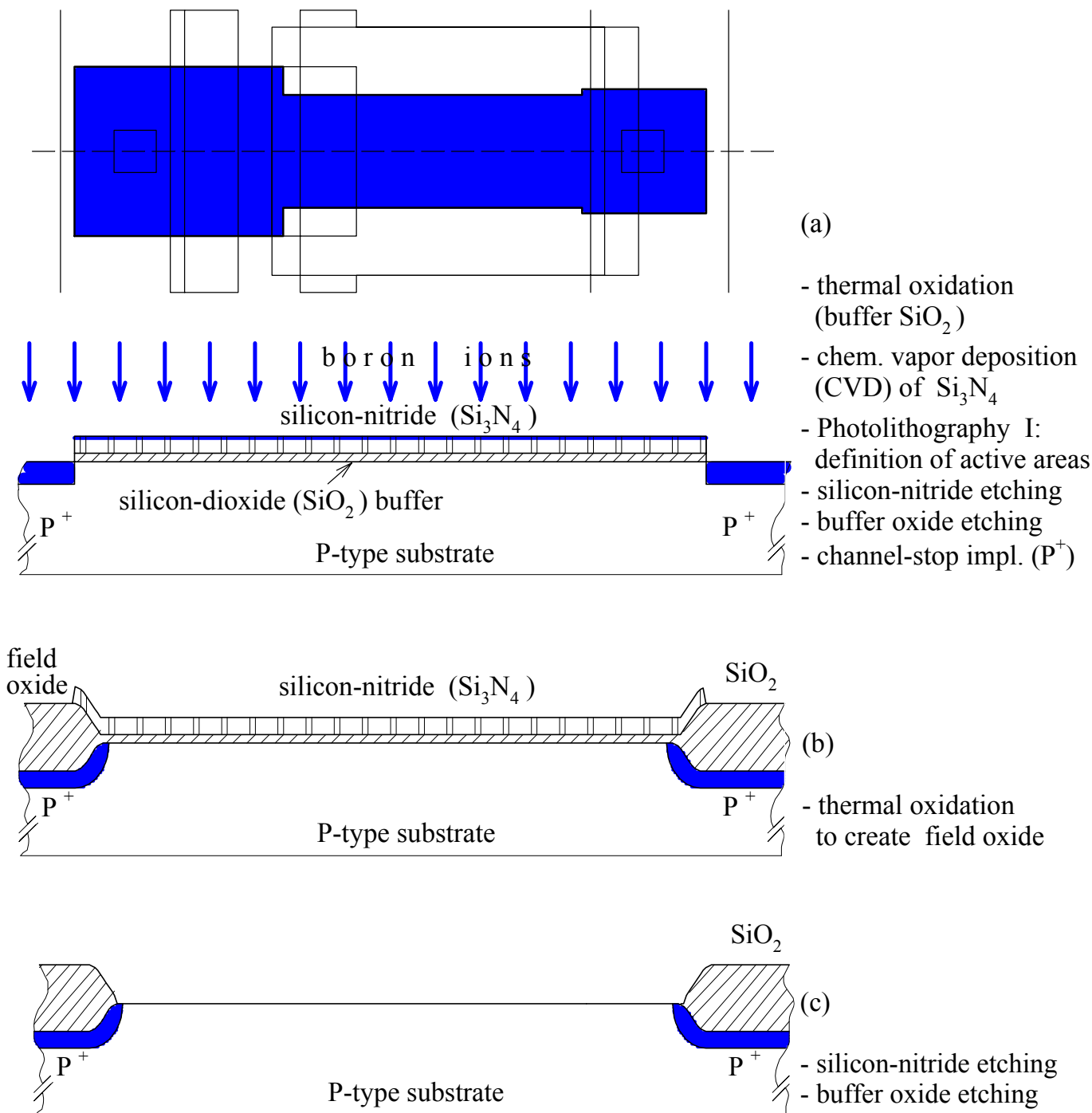
Princip stapanja oblasti u integrisanim kolima se koristi gdegod je to moguće da bi se minimizirala aktivna površina integrisanog kola i maksimizirale performanse.

U duhu principa stapanja oblasti, gejt MOSFET-a sa ugradjenim kanalom je proširen da bi direktno kontaktirao N^+ oblast sorsa/drejna. Površina polisilicijumskog gejta je dalje proširena da bi služila kao izlazna linija invertora. Na Sl. 5.12, i ulazna i izlazna linija su realizovane od polisilicijumskih traka, dok se magistralne linije za V^+ i masu pojavljuju kao metalne (Al) linije. Ovo ilustruje da se polisilicijumski sloj može koristiti kao drugi nivo za povezivanje (interkonekciju). Kada je to neophodno, N^+ difuzione oblasti mogu se koristiti kao treći interkonekcioni nivo. Kontakt izmedju metalnih i polisilicijumskih nivoa može se realizovati na način sličan kontaktima izmedju metala i N^+ oblasti, prikazan na Sl. 5.12.



Slika 5.12 Kompozitni layout (a) i poprečni presek (b) NMOS invertora prikazan i su zajedno sa šemom kola

Tehnološki niz koji se koristi da bi se proizveo NMOS invertor sa Sl. 5.12 prikazan je na Sl. 5.13a do 5.13i. Na početku tehnološkog niza, realizuje se izolacija (oksid u polju i P^+ oblast) da bi se definisala aktivna oblast. Aktivna oblast je zaštićena silicijum nitridom deponovanim preko tankog termički naraslog baferskog sloja oksida. Sloj silicijum nitrida i baferski oksid se oblikuju fotolitografskim procesom, korišćenjem maske kao što je prikazano na Sl. 5.13a. Neprovidne i transparentne oblasti na masci odgovaraju fotolitografiji sa pozitivnim fotorezistom. Silicijumske pločice pripremljene na takav način izlažu se implantaciji bora, koja formira doping P^+ tipa izvan aktivne oblasti. Nakon toga, primenjuje se termička oksidacija da bi narastao debeli oksid u polju. Silicijum nitrid blokira oksidišuće čestice (molekule kiseonika ili vode) štiteći na taj način aktivnu oblast. Ovaj proces je poznat kao LOCOS (**l**ocal **o**xidation of **s**ilicon) i objašnjen je u Odeljku 2.5.2 (Sl. 2.15). Slika 5.13b prikazuje da se pojavljuje i neka lateralna oksidacija, dovodeći do toga da oksid u polju ima takozvani oblik *ptičjeg kljuna*. Ovo ima i jednu korisnu stranu jer izglađuje stepenicu u oksidu, koja bi bez toga bila isuviše strma i visoka i koja bi dovela do prekida u metalnim slojevima koji bi se nakon toga deponovali. Nakon narastanja oksida u polju, silicijum nitrid i baferski sloj oksida se uklanjaju (Sl. 5.13c).

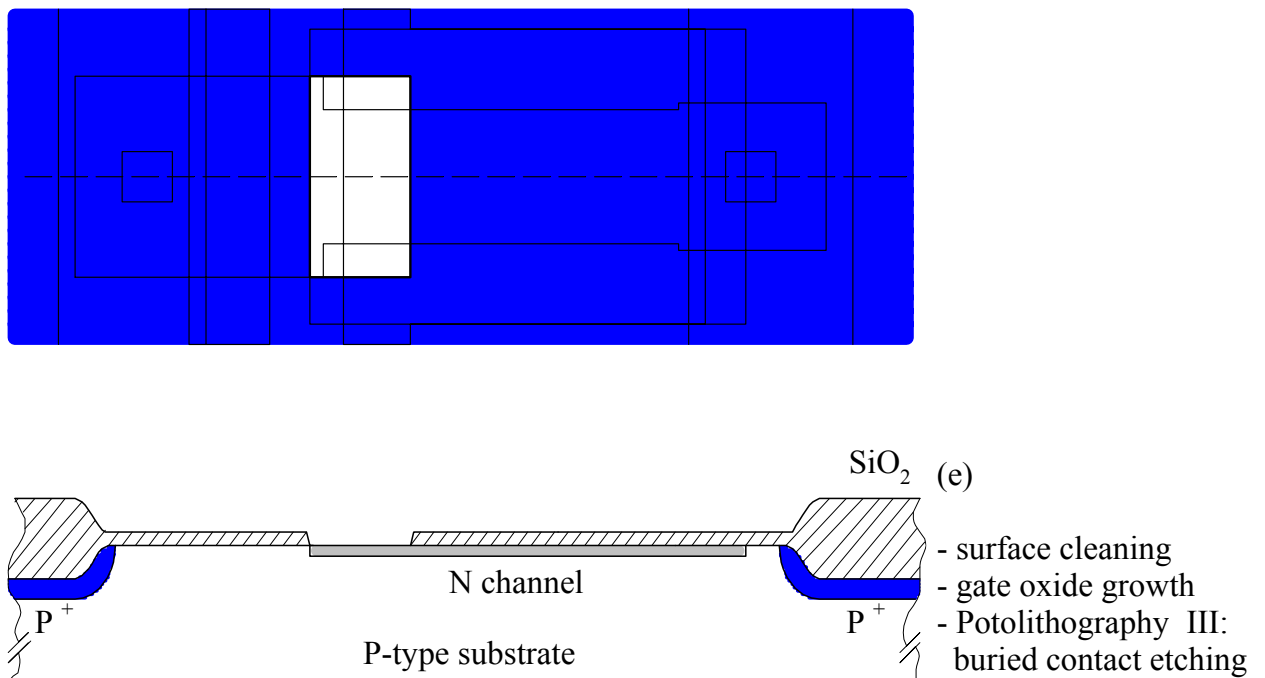
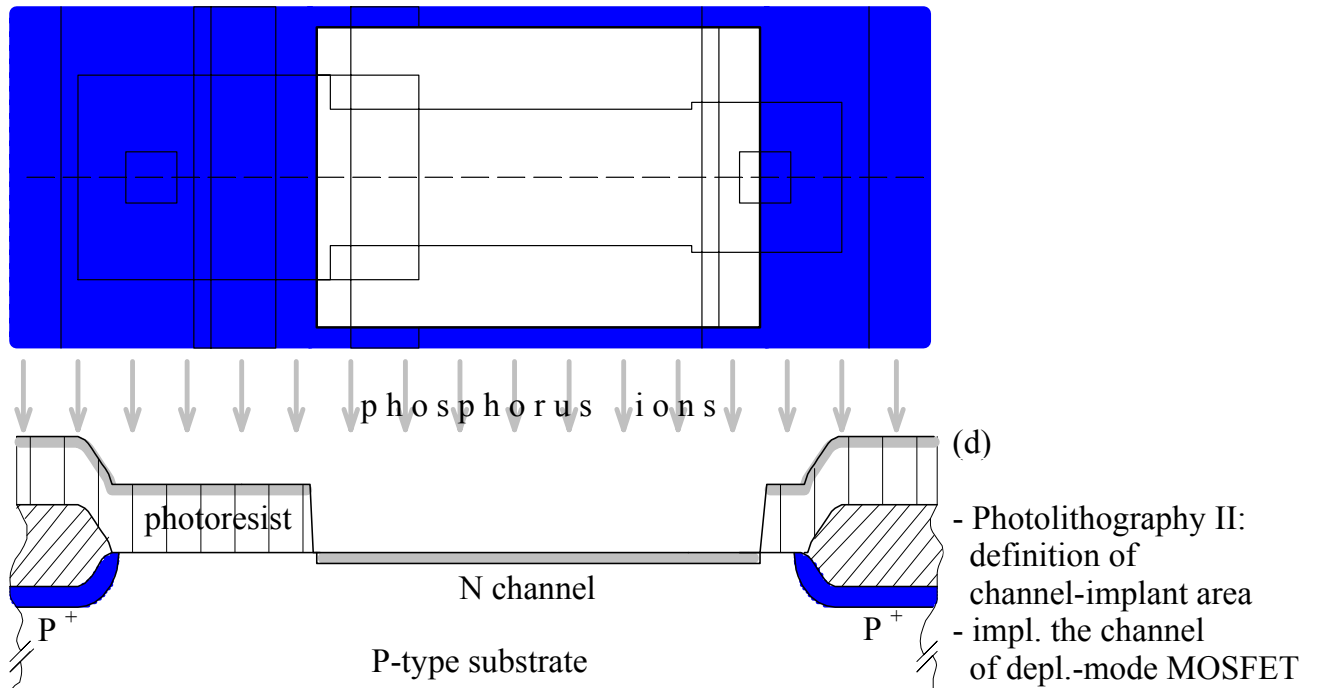


Slika. 5.13 (a-i) NMOS tehnološki proces

Nakon definisanja aktivne oblasti, primenjuje se drugi fotolitografski proces da bi obezbedio selektivnu implantaciju fosfora kojom se realizuje ugradjeni kanal MOSFET-a sa ugradjenim kanalom (Sl. 5.13d). U ovom slučaju sam fotorezist se koristi da bi zaštitio oblast kanala kod MOS tranzistora sa indukovanim kanalom. U sledećim koracima uklanja se fotorezist i površina se temeljito čisti da bi se pripremile pločice za narastanje oksida gejta. Kada je oksid gejta narastao, treći fotolitografski proces se primenjuje da bi se nagrivanjem realizovali otvori u oksidu gejta (Sl. 5.13e), gde neposredno nakon toga deponovani sloj polisilicijuma treba da kontaktira silicijum (ovo je kontakt između gejta MOSFET-a sa ugradjenim kanalom, njegovog sorsa i drejna MOSFET-a sa indukovanim kanalom). Deponovani polisilicijum se oblikuje četvrtim fotolitografskim procesom i sa tim povezanim nagrivanjem polisilicijuma i oksida gejta (Sl. 5.13f). Maska za fotolitografiju koja se koristi za

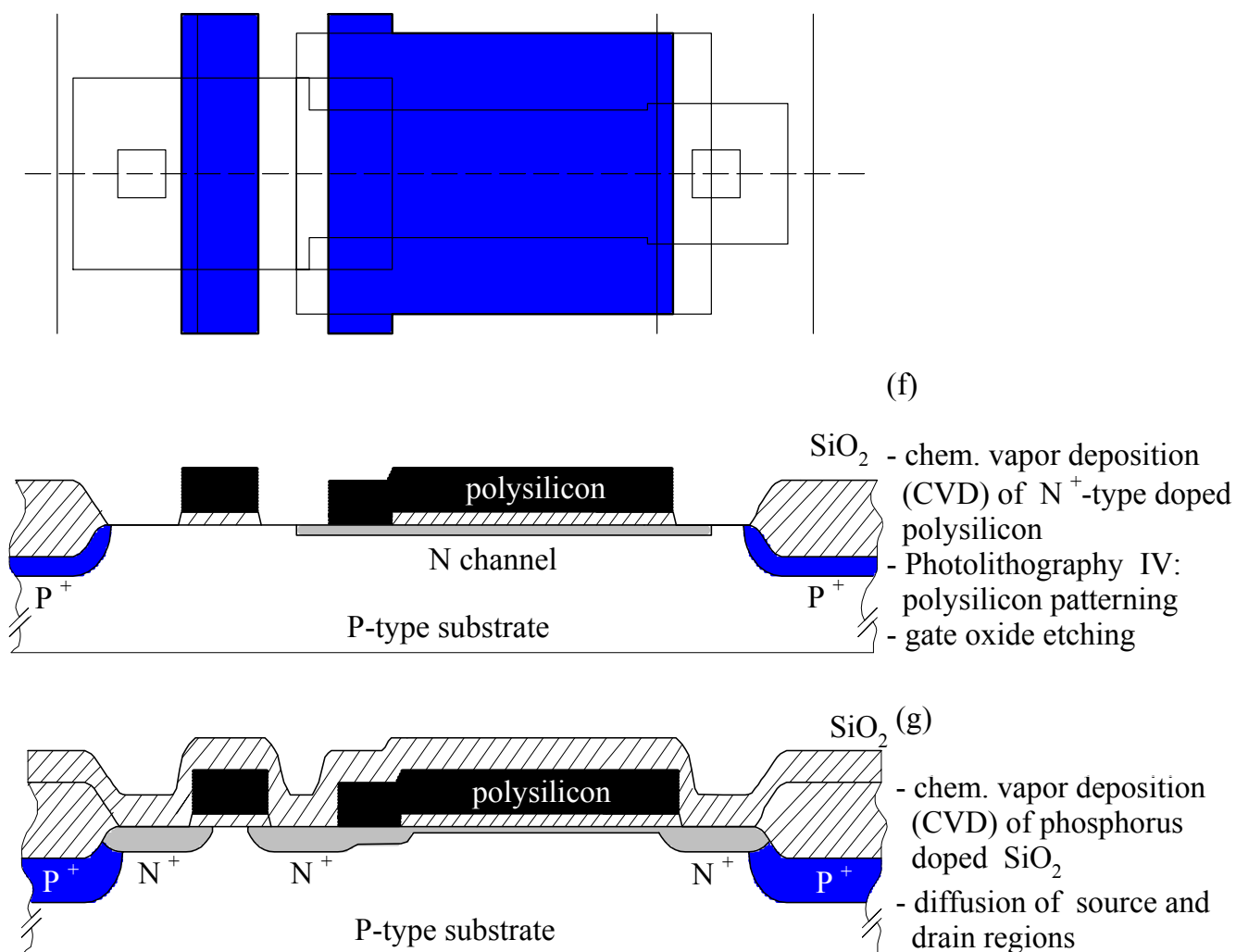
oblikovanje polisilicijuma definiše dužinu gejta MOSFET-ova (širina polisilicijumskih oblasti) i širinu N^+ difuzionih oblasti (razmak izmedju polisilicijumskih oblasti).

Podešavanje N^+ oblasti sorsa/drejna prema gejtu MOSFET-a veoma je važno. Iako procep izmedju gejta i N^+ oblasti sorsa/drejna nije prihvatljiv, velika preklapanja gejta sa N^+ sorsom/drejnomo formirala bi veliku parazitnu kapacitivnost izmedju gejta i sorsa/drejna, što bi nepovoljno uticalo na performanse komponente na višim učestanostima. Ukoliko bi se oblasti N^+ sorsa/drejna realizovale posebnom maskom, podešavanje ove maske stvaralo bi značajne probleme i/ili ograničenja.



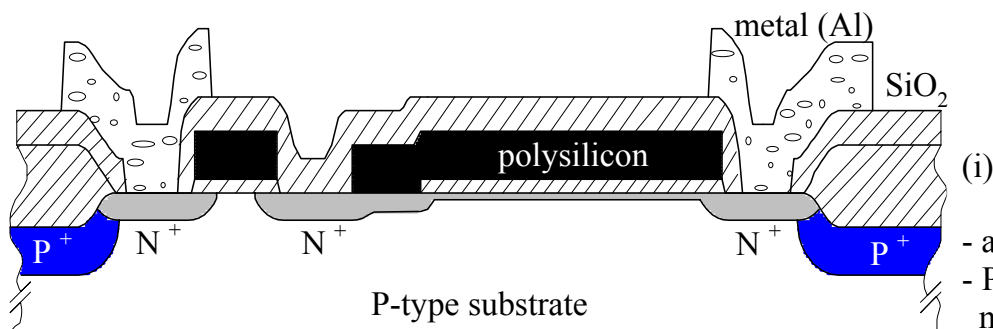
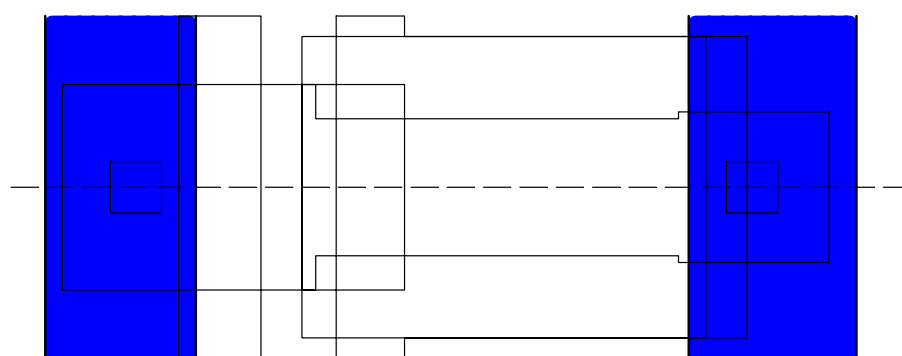
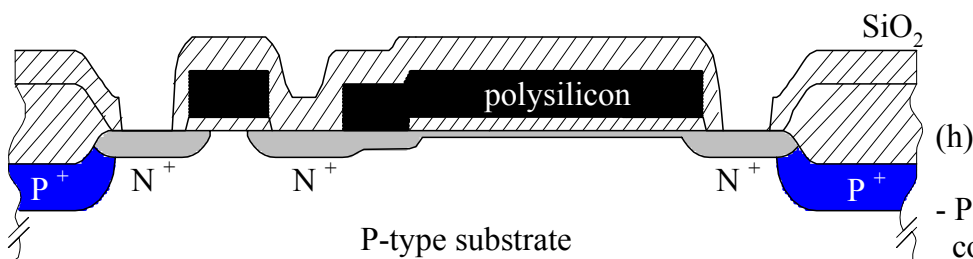
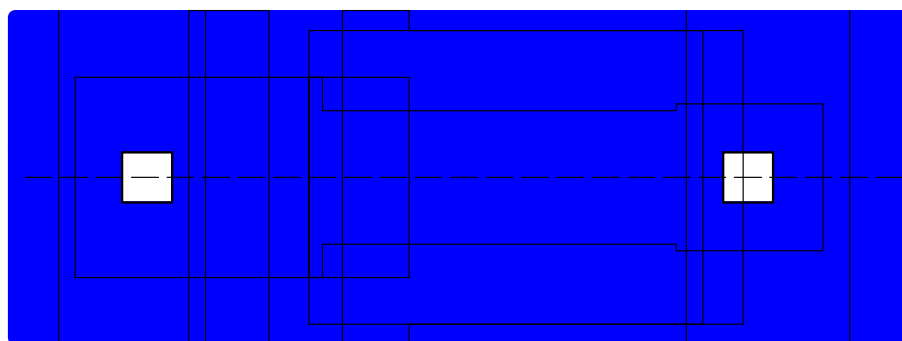
Slika. 5.13 Nastavak

Korišćenje polisilicijuma kao materijala gejta umesto metala (aluminijuma) omogućava korišćenje samopodešavajuće tehnike. Slika 5.13g prikazuje da su N^+ oblasti sorsa/drejna dobijene difuzijom iz fosforom dopiranog oksida, koji je deponovan na pločicu. Polisilicijumski gejti štiti oblast ispod sebe od difuzije fosfora, pošto fosfor difunduje u polisilicijum a oblasti supstrata nisu pokrivene polisilicijumom (to su oblasti sorsa/drejna). Medjutim, dešava se i neka mala lateralna difuzija, što znači da je neko preklapanje gejta i sorsa/drejna neizbežno. Ova samopodešavajuća tehnika ne može biti implementirana sa aluminijumom umesto polisilicijuma, jer aluminijum deponovan preko oksida ili silicijuma ne sme biti izložen temperaturama višim od 570°C (ovo bi dovelo do nepovoljne hemijske reakcije izmedju aluminijuma i oksida/silicijuma), dok difuzioni procesi zahtevaju temperature više od 900°C . Aluminijum ima manju otpornost u poredjenju sa silicijumom, pa može izgledati da je aluminijum bolji izbor kao materijal gejta. Medjutim, prednosti gore opisane samopodešavajuće tehnike imaju toliki značaj da one forsiraju korišćenje polisilicijuma kao materijala gejta u savremenim MOSFET integrisanim kolima, mada su u početku MOSFET-ovi bili realizovani sa aluminijumskim gejtovima.



Slika. 5.13 Nastavak

Fosforom dopirani oksid, koji je prvenstveno bio deponovan da bi obezbedio difuziju N^+ sorsa/drejna, takodje se koristi kao izolacioni sloj izmedju polisilicijuma i kasnije deponovanog aluminijumskog sloja za povezivanje komponenata. Medjutim, pre procesa depozicije aluminijuma, nagrizanjem se formiraju kontaktni otvori u sloju izolacionog oksida da bi se obezbedili neophodni kontakti sa oblastima sorsa i drejna MOSFET-a (Sl. 5.13h). Nakon depozicije aluminijuma, primenjuje se šesti fotolitografski proces za oblikovanje aluminijumskog sloja, kao što je pokazano na Sl. 5.13i.



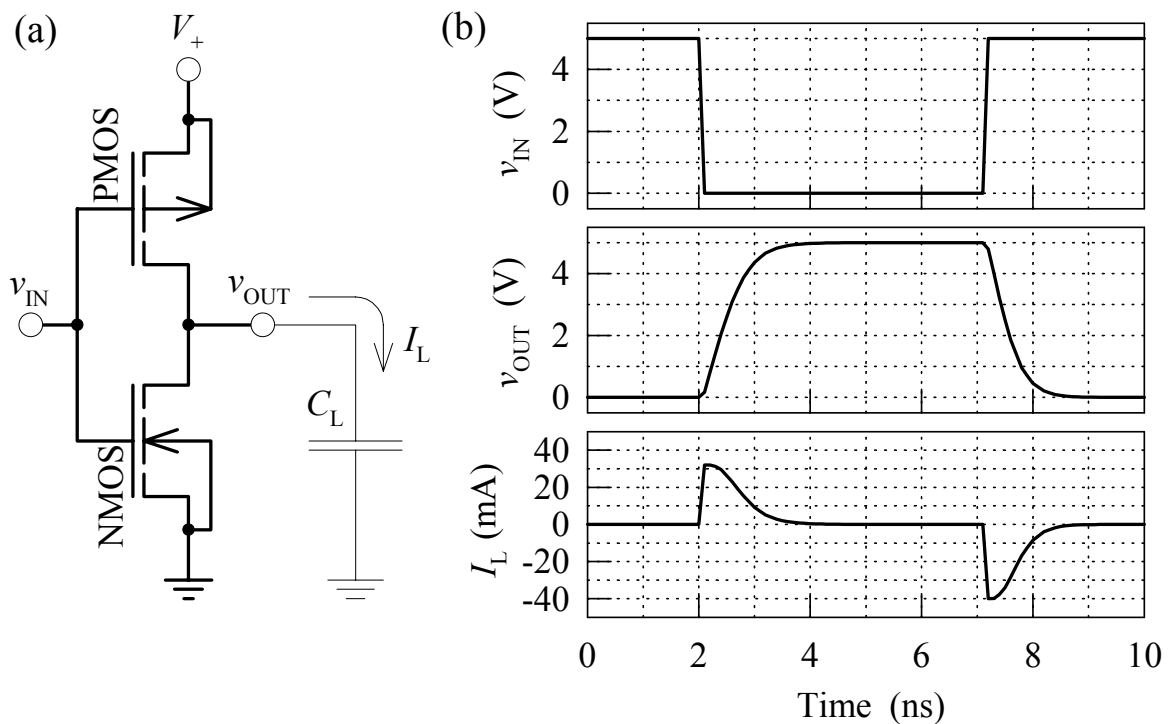
Slika. 5.13 Nastavak

5.2.3 Osnovna CMOS tehnologija

Kao što je već opisano u Odeljku 4.2.3, korišćenje komplementarnih tranzistora omogućava projektovanje digitalna kola sa minimalnom potrošnjom energije. Invertor sa komplementarnim tranzistorima na Sl. 4.8 može biti realizovan od N-kanalnog i P-kanalnog MOSFET-a sa indukovanim kanalom kao što je prikazano na Sl. 5.14a. Ovo pokazuje da složena digitalna kola mogu biti realizovana korišćenjem komplementarnih parova N-kanalnih i P-kanalnih MOSFET-ova, koji se

takodje nazivaju NMOS i PMOS tranzistori, respektivno. Ova tehnologija je poznata kao *complementary MOS* (CMOS) tehnologija.

Kao što je objašnjeno u Odeljku 4.2.3, struja ne teče kroz inverter u slučajevima stacionarnog stanja, high input/low output (visoki napon na ulazu, niski napon na izlazu) ili low input/high output. Pri visokom ulaznom naponu, NMOS tranzistor je uključen (napon između gejta i sorsa veći je od njegovog napona praga), ali je PMOS tranzistor isključen jer je njegov napon između gejta i sorsa ($v_{IN}-V_+$) mali. Pri niskom ulaznom naponu PMOS tranzistor je uključen ($v_{IN}-V_+$ je negativno, njegova apsolutna vrednost veća je od napona praga PMOS tranzistora), ali je NMOS sada isključen pošto je ulazni napon ispod njegovog napona praga. Prema tome, nije potrebna snaga da bi održavala neko logičko stanje u CMOS digitalnim kolima. Međutim, CMOS kola zaista troše energiju kada dolazi do promene logičkih stanja. Ovo je zbog toga što su izlazi logičkih ćelija, kao kod invertora na Sl. 5.14, opterećeni parazitnom ulaznom kapacitivnošću vezanih narednih logičkih ćelija (predstavljenom sa C_L na Sl. 5.14). Da bi se promenio izlaz invertora sa Sl. 5.14 od niskog na visoki nivo, kapacitivnost C_L treba da se napuni strujom koja teče kroz PMOS tranzistor. Kada se izlaz menja od visokog na niski naponski nivo, kapacitivnost C_L treba da se isprazni kroz NMOS tranzistor. Očigledno, u ovim prelaznim režimima na invertoru se disipira neka snaga.

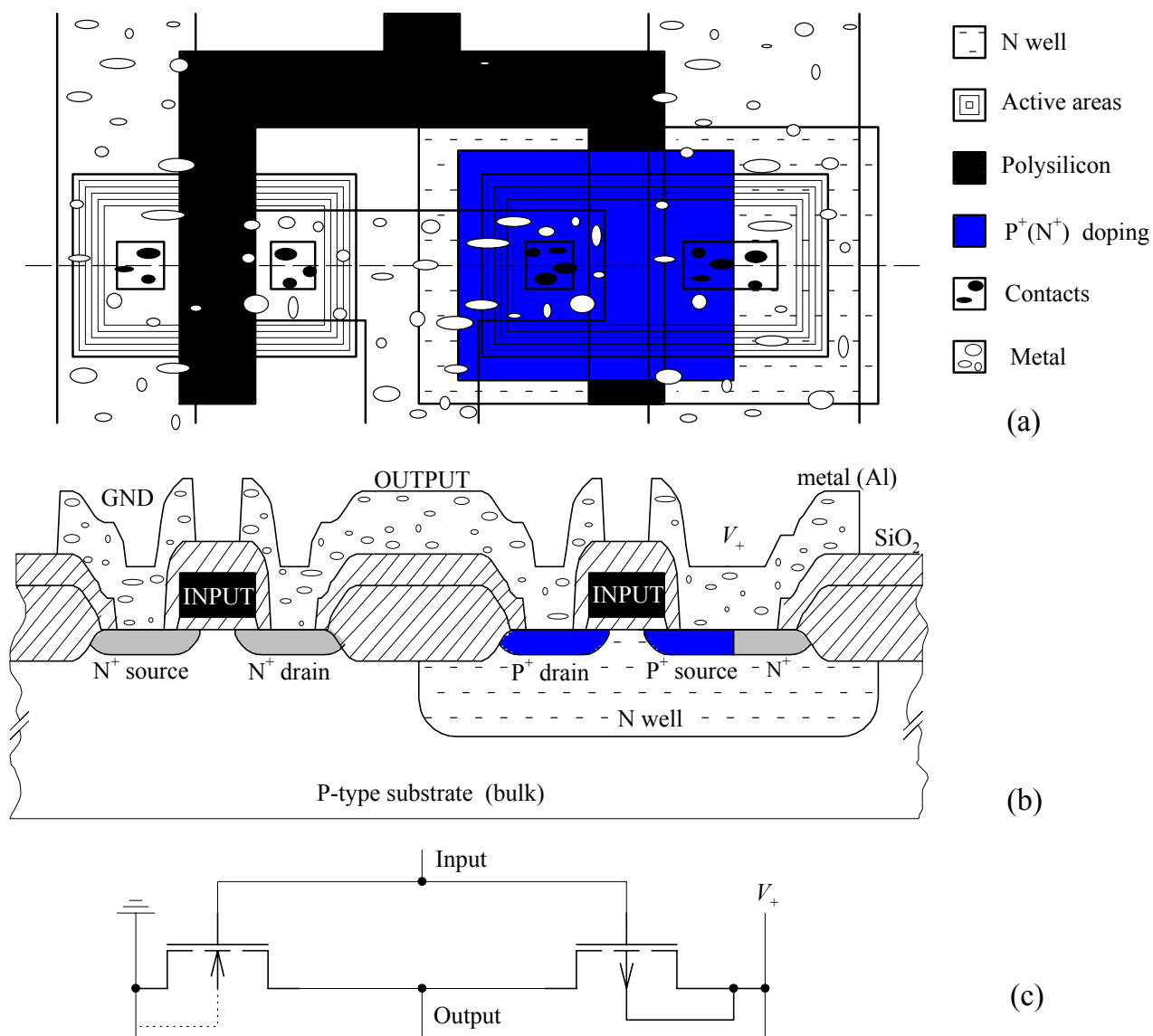


Slika 5.14 Kolo CMOS invertora (a) i tipični izlazni/ulazni signali (b)

Karakteristika CMOS kola da imaju nisku potrošnju energije enormno je proširila primenu digitalnih kola, koja se kreće od baterijski napajane zabavne elektronike do kompjuterskih primena koje sada poznajemo. Prekidačka brzina (maksimalna radna frekvencija) bila je u početku nedostatak CMOS kola, ali je agresivno smanjivanje dimenzija MOSFET-a dovelo do dramatičnog porasta brzine. Smanjivanje dimenzija takodje je omogućilo porast nivoa integracije, dovodeći do realizacije digitalnih integrisanih kola velikih operativnih mogućnosti. Smanjivanje dimenzija, ili takozvani *down-scaling*, opisano je detaljnije u Odeljku 7.1. CMOS tehnologija je danas postala dominirajuća elektronska tehnologija.

Kompozitni layout (pogled odozgo) i poprečni presek CMOS invertora, implementiranog u osnovnoj N-well tehnologiji prikazani su na Sl. 5.15. Tehnologija se naziva N-well tehnologija jer je

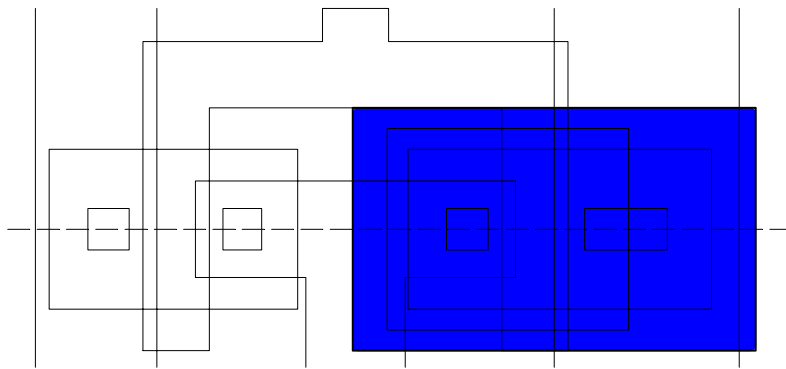
balk N-tipa, neophodan za formiranje PMOS tranzistora, implementiran kao N-well oblast difundovana u supstratu silicijuma P-tipa. Samim tim, u supstratu P-tipa realizuju se NMOS tranzistori. Pošto je izvod B izvod NMOS tranzistora (supstrat P-tipa) uzemljen, a izvod B PMOS tranzistora (N well) konektovan za najpozitivniji potencijal V_+ , P-N spoj N-well/P-supstrat je inverzno polarisan. Iako ovo obezbedjuje električnu izolaciju duž P-N spoja, da bi se obezbedilo da se ne pojave površinske struje curenja, komponente su razdvojene debelim oksidom u polu kao kod NMOS tehnologije. Soj N^+ tipa, koji se koristi za formiranje sorsa i drejna NMOS tranzistora, takodje je iskorišćen za obezbedjivanje dobrog kontakta sa N-wellom, koji je direktno povezan sa sorsom PMOS tranzistora. Iako direktna veza izmedju supstrata P-tipa i sorsa NMOS tranzistora nije prikazana na Sl. 5.15b, supstrat P-tipa je vezan za masu, najčešće jednom linijom koja okružuje oblast celokupnog integrisanog kola.



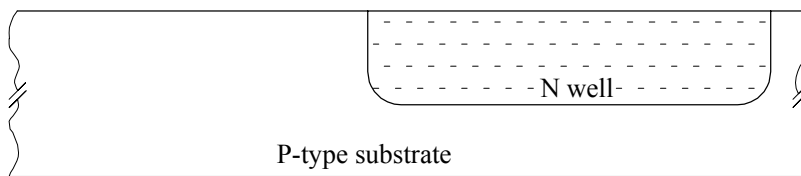
Slika 5.15 Kompozitni layout (a) i poprečni presek (b) osnovnog N-well CMOS invertora prikazani su zajedno sa šemom kola (c)

Postoji takodje i P-well tehnologija, u kojoj su PMOS tranzistori smešteni u silicijumskom supstratu N-tipa, a Pwell oblasti se formiraju da bi se u njima realizovali NMOS tranzistori. P-well tehnologija bila je razvijena pre N-well tehnologije, jer je bilo lakše da se postignu željene vrednosti napona praga NMOS i PMOS tranzistora. Kada je korišćenje jonske implantacije učinilo mogućim

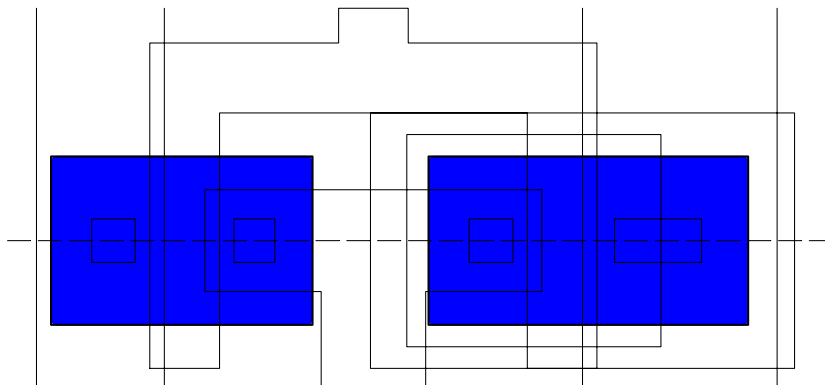
podešavanje napona praga, N-well tehnologija postala je mnogo popularnija jer korišćenje supstrata P-tipa omogućava njenu kompatibilnost sa NMOS i bipolarnom tehnologijom (opisanom u Poglavlju 6).



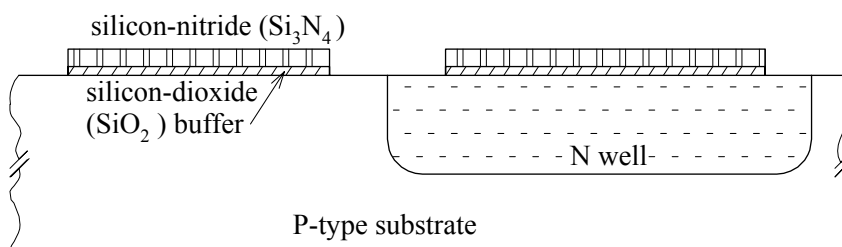
(a)



- thermal oxidation (initial SiO_2)
- Photolithography I: N-well implant windows
- N-well impl. and drive-in
- oxide etching



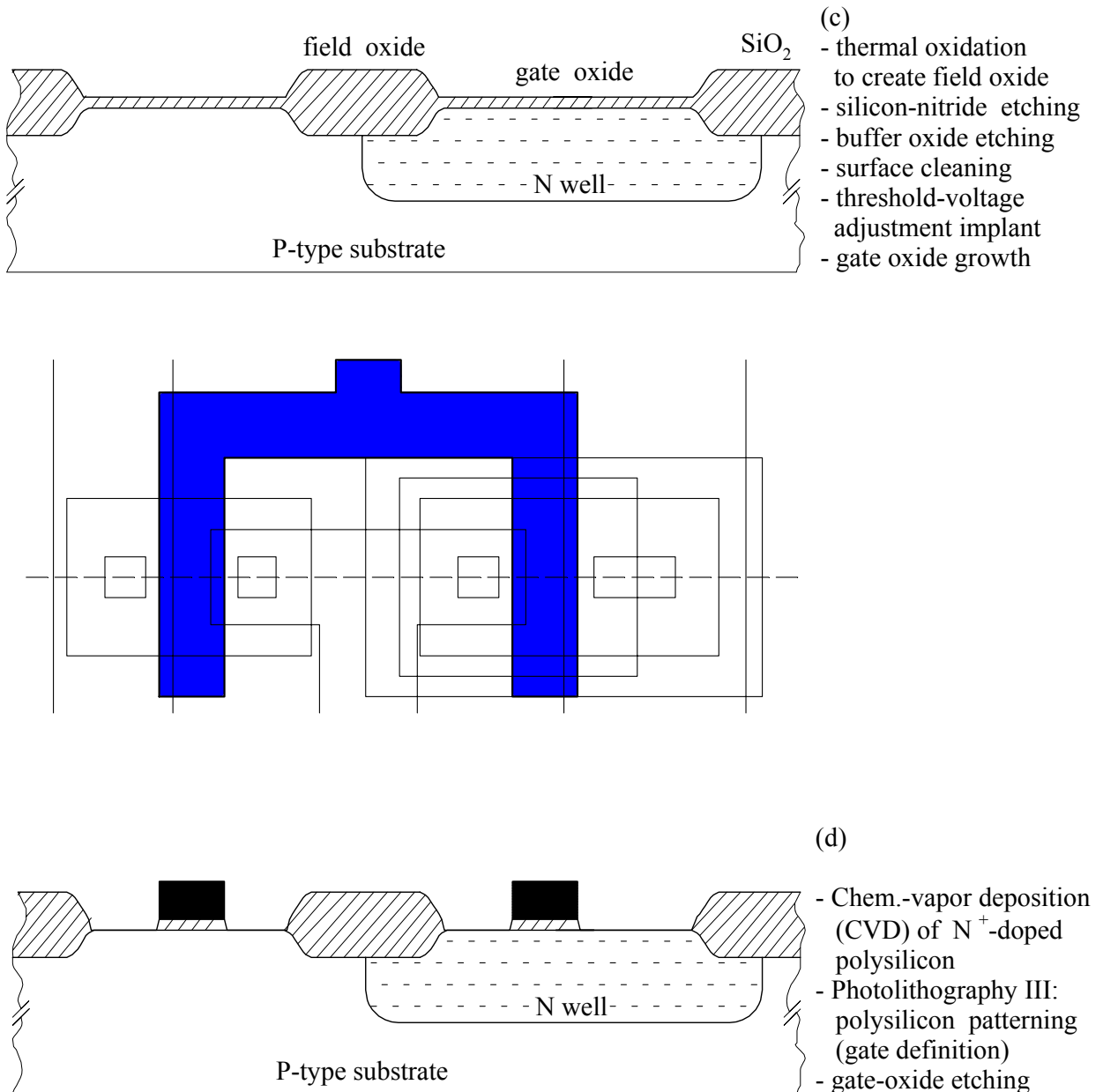
(b)



- thermal oxidation (buffer SiO_2)
- chem.-vapor deposition (CVD) of Si_3N_4
- Photolithography II: definition of active areas
- silicon-nitride etching
- buffer oxide etching

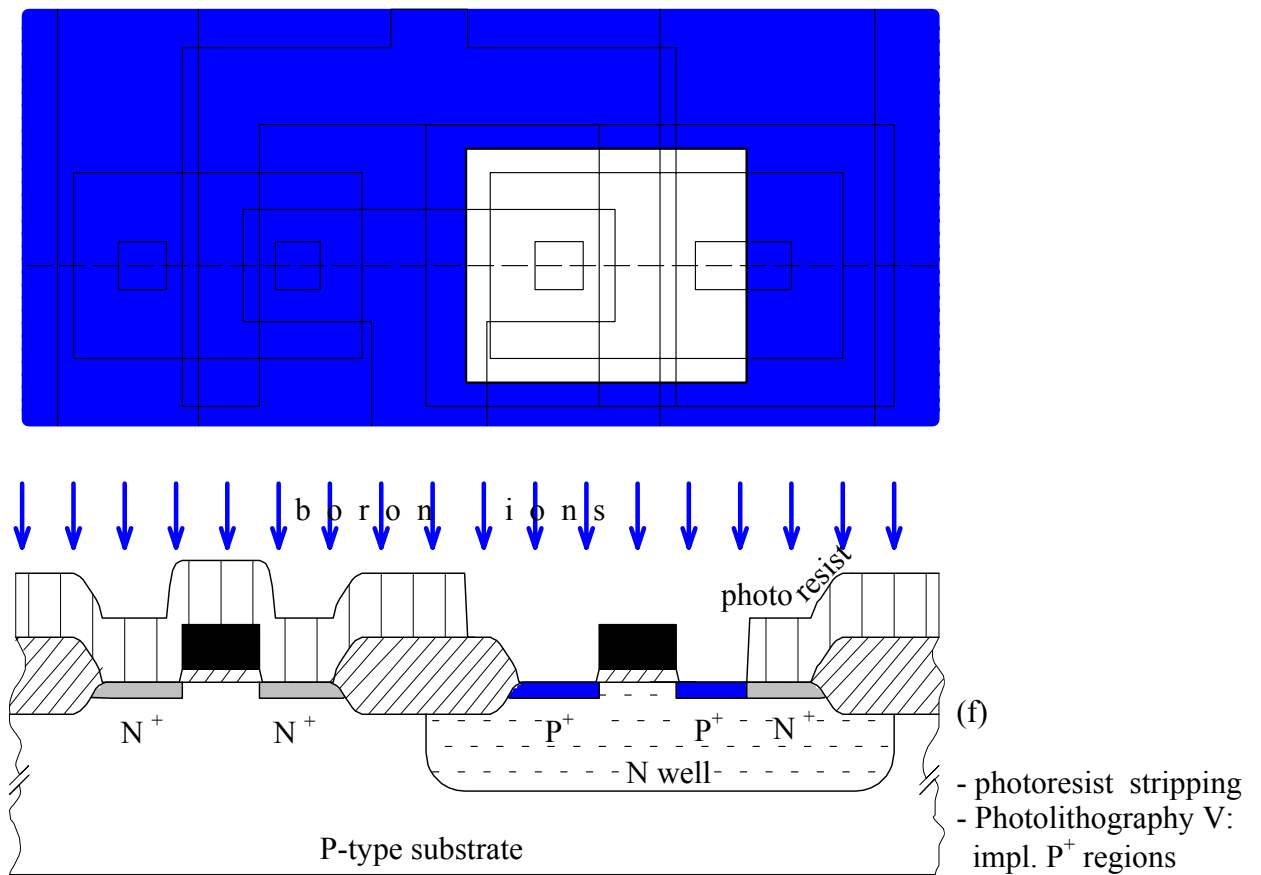
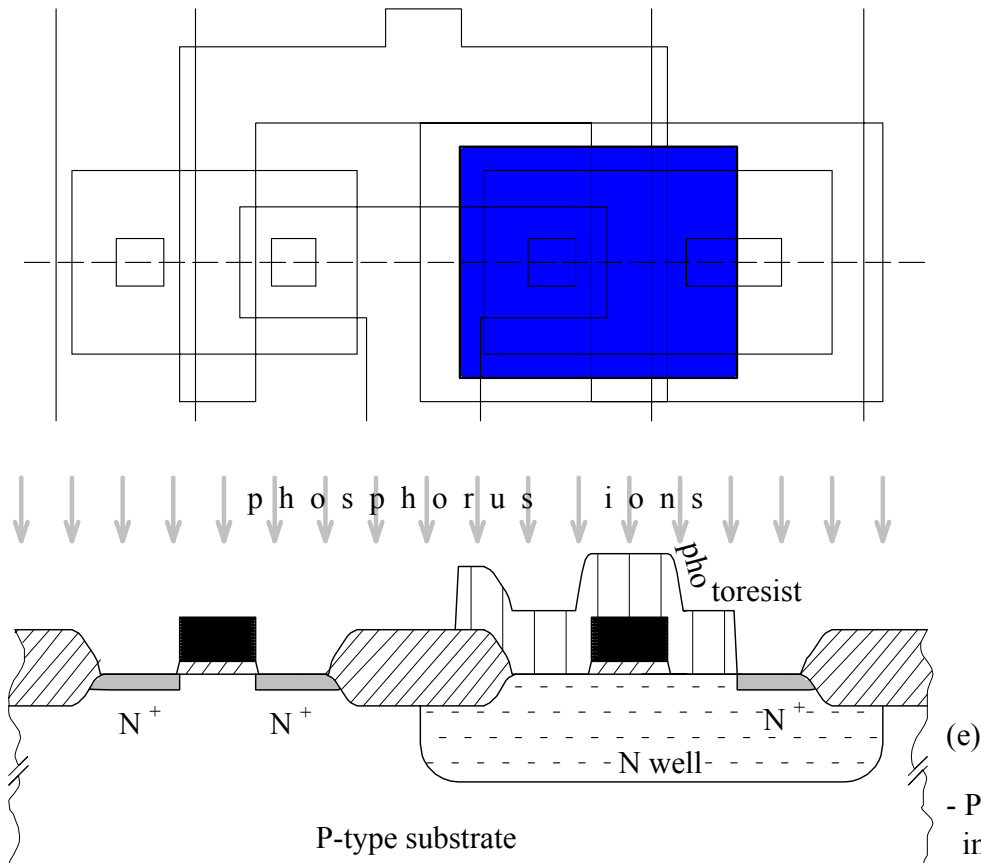
Slika. 5.16 (a-1) N-well CMOS tehnološki proces

Tehnološki niz koji se koristi za izradu CMOS invertora sa Sl. 5.14 prikazan je na Sl. 5.16a do 5.16i. Na početku procesa, formiraju se N-well oblasti jonskom implantacijom fosfora kroz na odgovarajući način oblikovan maskirni sloj silicijum dioksida, a nakon toga je uradjeno i odžarivanje (drive-in). Slika 5.16a prikazuje da je maskirni oksid uklonjen čim su N-well oblasti formirane. U sledećem koraku, formira se debeo oksid u polju koji okružuje aktivne oblasti. Kao što Sl. 5.16b i 5.16c ilustruju, ovo je postignuto istim LOCOS procesom koji je korišćen i u NMOS tehnologiji.



Slika 5.16 Nastavak

Površinska koncentracija donora N_D u N-wellu veća je od koncentracije akceptora N_A u supstratu P-tipa. Ova činjenica, kao i razlika izlaznih radova izazivaju da NMOS tranzistor ima niži napon praga, a PMOS tranzistor veću apsolutnu vrednost napona praga od željenih vrednosti. Performanse CMOS kola će biti maksimizirane sa neznatno pozitivnim naponom praga NMOS tranzistora i negativnim naponom praga PMOS tranzistora (tranzistori sa indukovanim kanalom) sa apsolutnim vrednostima jednakim kao kod NMOS tranzistora. Da bi se podesio napon praga, u oblasti kanala i NMOS i PMOS tranzistora implantira se bor. Ova takozvana implantacija za podešavanje

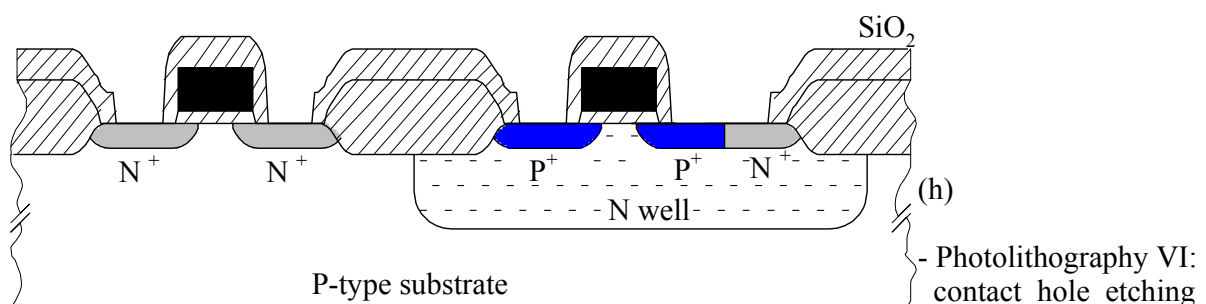
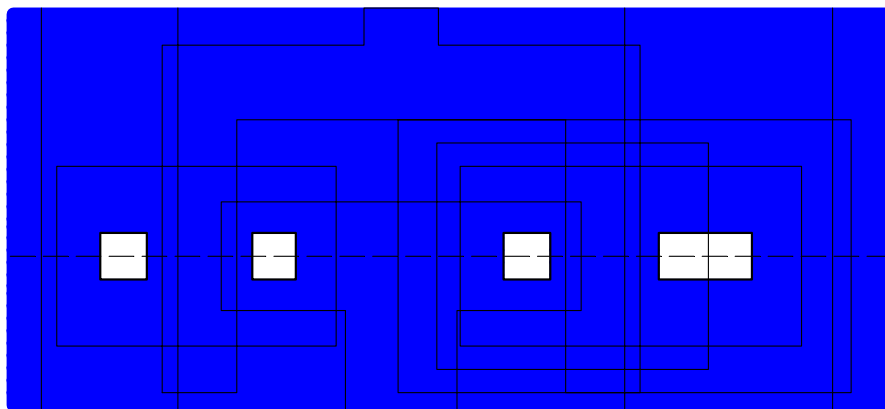
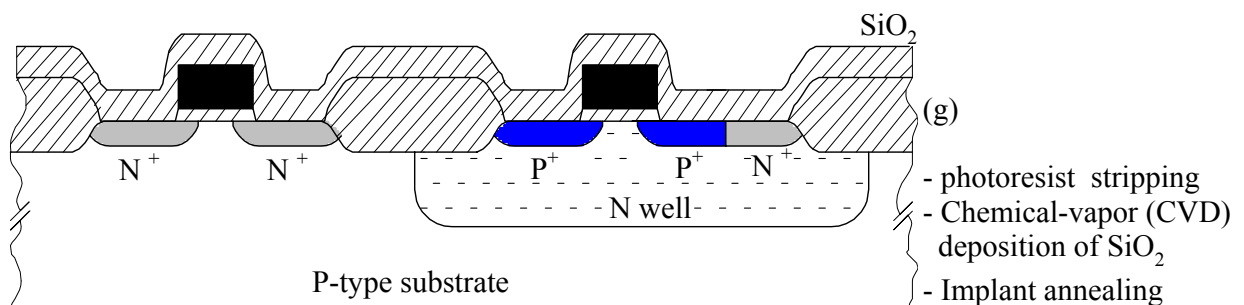


Slika 5.16 Nastavak

napona praga smanjuje na površini efektivni nivo dopiranosti kod N-tipa u N-wellu, smanjujući na taj način apsolutnu vrednost napona praga PMOS tranzistora. Takodje, ona povećava nivo dopiranosti P-tipa na površini supstrata P-tipa, povećavajući na taj način napon praga NMOS tranzistora. Naponi praga NMOS i PMOS tranzistora mogu se perfektno upariti tačno određenom odgovarajućom dozom implantacije za podešavanje napona praga.

Oksid gejta može narasti bilo pre ili posle implantacije za podešavanje napona praga (Sl. 5.16c). Iza oksidacije za dobijanje oksida gejta, sledi depozicija dopiranog polisilicijuma i njegovo oblikovanje da bi se definisali gejtovi MOSFET-ova (Sl. 5.16d).

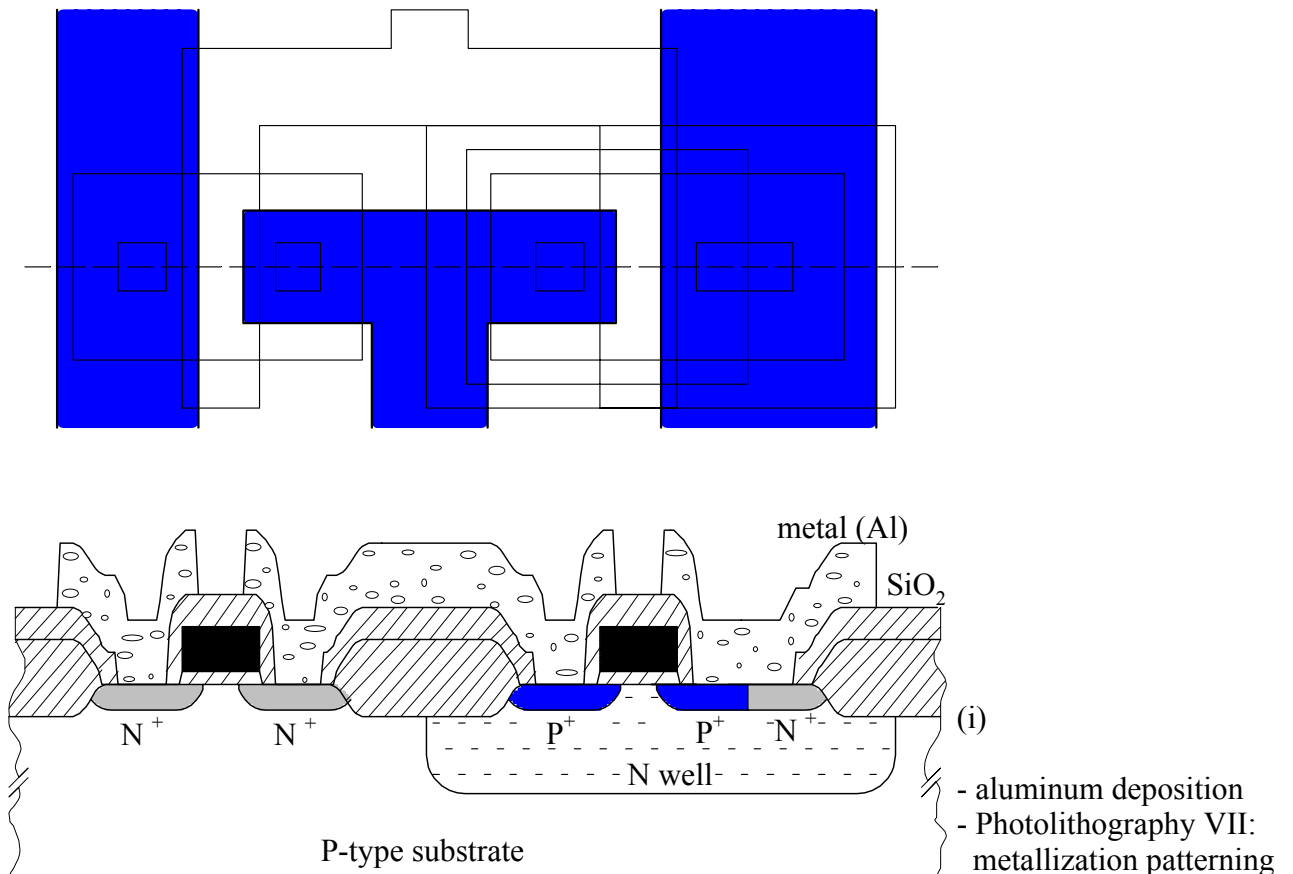
CMOS tehnologija takodje koristi samopodešavajuću tehniku da bi se minimiziralo preklapanje izmedju gejta i oblasti sorsa/drejna. U poredjenju sa NMOS tehnologijom, ovde postoji razlika u tome što se dopiranje postiže jonskom implantacijom fosfora (Sl. 5.16e) i bora (Sl. 5.16f) da bi se dobile oblasti N^+ i P^+ tipa, respektivno. Na odgovarajući način oblikovan fotorezist se koristi za maskiranje oblasti koje ne treba da budu implantirane. Kao što je prikazano na Sl. 5.16g, jonska implantacija je



Slika 5.16 Nastavak

sledećim procesom depozicije oksida (koji je neophodan da izoluje polisilicijumski sloj od narednog sloja metala) i odžarivanjem, koje je neophodno da aktivira implantirane jone primesa.

Proces se završava na isti način kao i NMOS tehnologija, formiranjem otvora u oksidu za kontakte postupkom nagrivanja (Sl. 5.16h), i depozicijom aluminijuma i njegovim oblikovanjem postupkom fotolitografije i nagrivanja (Sl. 5.16i).



Slika 5.16 Nastavak

◆ **Primer 5.2 Implantacija za podešavanje napona praga**

Tehnološki parametri N-well CMOS tehnologije dati su u Tabeli 5.1, zajedno sa vrednostima relevantnih fizičkih parametara.

TABELA 5.1 Tehnološki parametri N-well CMOS tehnologije

Parametar	Simbol	Vrednost
Koncentracija primesa u supstratu	N_A	10^{15}cm^{-3}
Površinska koncentracija u N-wellu	N_D	$5 \times 10^{16} \text{cm}^{-3}$
Debljina oksida gejta	t_{ox}	15 nm
Doza implantacije za podešavanje V_T	$\Phi_{implant}$?
Gustina naelektrisanja u oksidu	N_{oc}	10^{10}cm^{-2}
Tip gejta		N^+ polisilicijum
Koncentracija sopstvenih nosilaca	n_i	$1.02 \times 10^{10} \text{cm}^{-3}$
Širina zabranjene zone	E_g	1.12 e
Termički napon na sobnoj temperaturi	$V_T = kT/q$	0.026 V
Propustljivost oksida	$\epsilon_0 \epsilon_{ox}$	$3.45 \times 10^{-11} \text{F/m}$
Propustljivost silicijuma	$\epsilon_0 \epsilon_{si}$	$1.04 \times 10^{-10} \text{F/m}$

- (a) Odrediti napone praga NMOS i PMOS tranzistora za slučaj $\Phi_{implant}=0$.
 (b) Ako je obezbedjeno da je implantacija za podešavanje napona praga plitka, promena napona praga $|\Delta V_T|$ usled implantirane doze $q\Phi$ može se izraziti kao:

$$|\Delta V_T| = \frac{q \Phi_{implant}}{C_{ox}}$$

odrediti dozu primesa koje treba implantirati za podešavanje napona praga tako da se naponi praga NMOS i PMOS tranzistora upare ($V_{T-NMOS} = |V_{T-PMOS}|$).

Rešenje:

- (a) Napon praga NMOS tranzistora dat je jednačinom (2.77) [ista kao jednačina (5.5)], dok je napon praga PMOS tranzistora dat jednačinom (2.78). Naponi praga se izračunavaju korišćenjem procedure date u Primeru 5.1:

NMOS

$$\phi_F = \frac{kT}{q} \ln \frac{N_A}{n_i} = 0.30 \text{ V}$$

$$C_{ox} = \frac{\epsilon_0 \epsilon_{ox}}{t_{ox}} = 2.3 \times 10^{-3} \text{ F/m}^2$$

$$\phi_{ms} = \phi_m - \left(\chi + \frac{E_g}{2q} + \phi_F \right) = -\frac{E_g}{2q} - \phi_F = -0.86 \text{ V}$$

$$V_{FB} = \phi_{ms} - \frac{qN_{oc}}{C_{ox}} = -0.87 \text{ V}$$

$$\gamma = \frac{\sqrt{2\epsilon_0 \epsilon_{si} q N_A}}{C_{ox}} = 0.079 \text{ V}^{1/2}$$

$$V_{T-NMOS} = V_{FB} + 2\phi_F + \gamma \sqrt{2\phi_F} = -0.21 \text{ V}$$

PMOS

$$\phi_F = -\frac{kT}{q} \ln \frac{N_A}{n_i} = -0.40 \text{ V}$$

$$C_{ox} = \frac{\epsilon_0 \epsilon_{ox}}{t_{ox}} = 2.3 \times 10^{-3} \text{ F/m}^2$$

$$\phi_{ms} = \phi_m - \left(\chi + \frac{E_g}{2q} + \phi_F \right) = -\frac{E_g}{2q} - \phi_F = -0.16 \text{ V}$$

$$V_{FB} = \phi_{ms} - \frac{qN_{oc}}{C_{ox}} = -0.17 \text{ V}$$

$$\gamma = \frac{\sqrt{2\epsilon_0 \epsilon_{si} q N_D}}{C_{ox}} = 0.561 \text{ V}^{1/2}$$

$$V_{P-NMOS} = V_{FB} - 2|\phi_F| - \gamma\sqrt{2|\phi_F|} = -1.47 \text{ V}$$

- (b) Bez jonske implantacije za podešavanje napona praga, napon praga NMOS tranzistora je negativan, što znači da se radi o tranzistoru sa ugradjenim kanalom. Implantacija bora povećaće ovu vrednost napona praga (usled povećanja površinske koncentracije primesa u P-tipu), i u isto vreme smanjiće apsolutnu vrednost napona praga PMOS tranzistora (usled efektivnog smanjenja koncentracije primesa na površini N-wella). Prema tome, naponi praga nakon implantacije za podešavanje napona praga mogu se izraziti kao:

$$V_{T-NMOS}(\Phi_{implant}) = V_{T-NMOS}(0) + \frac{q\Phi_{implant}}{C_{ox}}$$

$$|V_{T-PMOS}(\Phi_{implant})| = |V_{T-PMOS}(0)| - \frac{q\Phi_{implant}}{C_{ox}}$$

Izborom različitih vrednosti za implatacionu dozu $\Phi_{implant}$, dobijaju se sledeći rezultati:

$\Phi_{implant}$ (cm^{-2})	ΔV_T (V)	$V_{T-NMOS}(\Phi_{implant})$ (V)	$ V_{T-PMOS}(\Phi_{implant}) $ (V)
0	0.00	-0.21	1.47
1.0×10^{11}	0.07	-0.14	1.40
3.0×10^{11}	0.21	0.00	1.26
1.0×10^{12}	0.70	0.49	0.77
1.21×10^{12}	0.84	0.63	0.63

Ova tabela ilustruje efekat podešavanja implantacione doze na napone praga NMOS i PMOS tranzistora. Implantaciona doza kojom se mogu upariti naponi praga može biti određena direktno zapažanjem da se svaki od napona praga treba promeniti za iznos

$$\Delta V_T = \frac{|V_{T-PMOS}(\Phi_{implant})| - V_{T-NMOS}(\Phi_{implant})}{2} = \frac{1.47 + 0.21}{2} = 0.84 \text{ V}$$

i nalazeći dozu koja odgovara ovoj promeni napona praga. Kao što gornja tabela pokazuje, ova doza je $\Phi_{implant} = 1.21 \times 10^{12} \text{ cm}^{-2}$.